

Docket No. 215544US2

102
22-02
JC872 U.S. PTO
09/986004
11/07/01


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takuji MATSUMOTO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

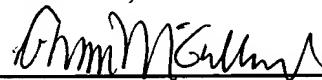
COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
Japan	2001-035180	February 13, 2001

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - are submitted herewith
 - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc872 U.S. PRO
09/986004
11/07/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application: 2001年 2月 13日

出願番号

Application Number: 特願 2001-035180

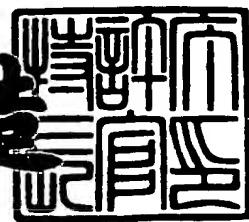
出願人

Applicant(s): 三菱電機株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特 2001-3014759

【書類名】 特許願
【整理番号】 528721JP01
【提出日】 平成13年 2月13日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/12
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内
【氏名】 松本 拓治
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内
【氏名】 前田 茂伸
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内
【氏名】 岩松 俊明
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内
【氏名】 一法師 隆史
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100089233
【弁理士】
【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造の半導体装置であって、

前記SOI層の素子形成領域に設けられるMOSトランジスタと、

前記SOI層に設けられ、前記素子形成領域を素子分離する部分分離領域とを備え、前記部分分離領域は前記SOI層の上層部に設けられる部分絶縁膜と下層部に存在する前記SOI層の一部である部分絶縁膜下半導体領域とを含み、

前記MOSトランジスタは、

各々が前記SOI層内に選択的に形成される第1の導電型のソース及びドレイン領域と、

前記ソース及びドレイン領域間の前記SOI層の領域上にゲート酸化膜を介して形成されるゲート電極主要部を有するゲート電極と、

前記ソース及びドレイン領域間の前記SOI層の第2の導電型の領域であるボディ領域主要部と、前記素子形成領域内に前記ボディ領域主要部から電気的に接続して形成され、外部から電位固定可能なボディ領域電位設定部とを含むボディ領域とを備える、

半導体装置。

【請求項2】 請求項1記載の半導体装置であって、

前記ボディ領域電位設定部は、前記ソース及びドレイン領域のゲート幅方向で隣接し、かつ前記ボディ領域主要部からゲート長方向に延びて形成されるボディ領域ソース・ドレイン隣接部を含み、

前記ゲート電極は、前記ゲート電極主要部の端部から前記ゲート長方向に延びて前記ボディ領域ソース・ドレイン隣接部上的一部に形成されるゲート延設領域をさらに有し、前記ゲート延設領域によって前記ボディ領域ソース・ドレイン隣接部と前記ソース及びドレイン領域とを電気的に遮断する、

半導体装置。

【請求項3】 請求項2記載の半導体装置であって、



前記ボディ領域ソース・ドレイン隣接部は、前記ボディ領域主要部から第1の方向に延びて形成される第1のボディ領域ソース・ドレイン隣接部と、前記ボディ領域主要部から前記第1の方向と反対の第2の方向に延びて形成される第2のボディ領域ソース・ドレイン隣接部とを含み、

前記ゲート延設領域は、前記第1のボディ領域ソース・ドレイン隣接部上に形成される第1のゲート延設領域と、前記第2のボディ領域ソース・ドレイン隣接部上に形成される第1のゲート延設領域とを含む、

半導体装置。

【請求項4】 請求項2記載の半導体装置であって、

前記ボディ領域ソース・ドレイン隣接部は一のボディ領域ソース・ドレイン隣接部を含み、

前記ゲート延設領域は前記一のボディ領域ソース・ドレイン隣接部上に形成される一のゲート延設領域を含む、

半導体装置。

【請求項5】 請求項2ないし請求項4のうち、いずれか1項に記載の半導体装置であって、

前記ボディ領域ソース・ドレイン隣接部は、前記ゲート延在領域から所定の距離を隔てた領域に、他の領域より第2の導電型の不純物濃度が高い高濃度領域を有する、

半導体装置。

【請求項6】 請求項2ないし請求項4のうち、いずれか1項に記載の半導体装置であって、

前記ゲート延在領域は、第2の導電型の不純物濃度が $5 \times 10^{18} \text{ cm}^{-2}$ 以下のゲート延在領域を含む、

半導体装置。

【請求項7】 請求項1ないし請求項5のうち、いずれか1項に記載の半導体装置であって、

前記ボディ領域電位設定部は、前記ソース領域と混在して形成される第2の導電型のボディ固定用半導体領域を含む、



半導体装置。

【請求項8】 請求項1ないし請求項7のうち、いずれか1項に記載の半導体装置であって、

前記部分絶縁膜下半導体領域は第2の導電型を有し、前記ボディ領域と接して形成され、

前記S O I層の前記素子形成領域外に設けられ、外部から電位固定可能な第1の導電型の素子形成領域外ボディ領域をさらに備え、前記素子形成領域外ボディー領域は前記部分絶縁膜下半導体領域と接して形成される、

半導体装置。

【請求項9】 請求項1ないし請求項8のうち、いずれか1項に記載の半導体装置であって、

前記ソース及びドレイン領域は前記埋め込み絶縁層に到達する形成深さを有する、

半導体装置。

【請求項10】 請求項1ないし請求項8のうち、いずれか1項に記載の半導体装置であって、

前記ソース及びドレイン領域は、通常動作時に前記ソース及びドレイン領域から延びる空乏層が前記埋め込み絶縁層に到達しない形成深さを有する、

半導体装置。

【請求項11】 請求項1ないし請求項8のうち、いずれか1項に記載の半導体装置であって、

前記ソース及びドレイン領域は前記埋め込み絶縁層に到達せず、通常動作時に前記ドレイン領域から延びる空乏層は前記埋め込み絶縁層に到達する形成深さを有する、

半導体装置。

【請求項12】 請求項1ないし請求項8のうち、いずれか1項に記載の半導体装置であって、

前記ドレイン領域は、前記ソース領域より形成深さが深く、かつ通常動作時に前記ドレイン領域から延びる空乏層が前記埋め込み絶縁層に到達する形成深さを



有する、

半導体装置。*

【請求項13】 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造の半導体装置であって、

前記SOI層の素子形成領域に設けられる所定の導電型の第1及び第2の半導体領域と、

前記素子形成領域の上層部に設けられる部分絶縁膜と、下層部の前記素子形成領域の一部である所定の導電型の部分絶縁膜下半導体領域とを含み、

前記部分絶縁膜下半導体領域は前記第1及び第2の半導体領域と電気的に接続され、抵抗素子を構成することを特徴とする、

半導体装置。

【請求項14】 請求項13記載の半導体装置であって、

前記SOI層を貫通して設けられ、前記素子形成領域を素子分離する完全絶縁膜をさらに備える、

半導体装置。

【請求項15】 請求項13あるいは請求項14記載の半導体装置であって

前記部分絶縁膜、前記第1及び第2の半導体領域以外の前記素子形成領域を前記抵抗素子の形成領域の一部としたことを特徴とする、

半導体装置。

【請求項16】 請求項13ないし請求項15のうち、いずれか1項に記載の半導体装置であって、

前記抵抗素子はSRAMメモリセルの負荷抵抗を含む、
半導体装置。

【請求項17】 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造の半導体装置であって、

前記SOI層に設けられる第1及び第2の素子形成領域と、

前記SOI層の上層部に設けられた部分絶縁膜と前記部分絶縁膜下の前記SOI層の一部である半導体領域とからなり、前記第1及び第2の素子形成領域間を

素子分離する部分分離領域と、

前記第1及び第2の素子形成領域にそれぞれ形成される第1及び第2のMOSトランジスタとを備え、

前記第1及び第2のMOSトランジスタ間におけるボディ領域の構造、ゲート電極の構造、及びボディ電位固定の有無のうち、少なくとも一つを異ならせて、前記第1及び第2のMOSトランジスタのトランジスタ特性を異ならせたことを特徴とする、

半導体装置。

【請求項18】 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造の半導体装置であって、

前記SOI層に設けられる第1及び第2の素子形成領域と、

前記SOI層の上層部に設けられた部分絶縁膜と前記部分絶縁膜下の前記SOI層の一部である半導体領域とからなり、前記第1の素子形成領域を他の領域から素子分離する部分分離領域と、

前記SOI層を貫通して設けられた完全絶縁膜からなり、前記第2の素子形成領域を他の領域から素子分離する完全分離領域と、

前記第1の素子形成領域に形成される第1のMOSトランジスタと、

前記第2の素子形成領域に形成される第2のMOSトランジスタとを備え、

前記第1及び第2のMOSトランジスタは異なるトランジスタ特性を有することを特徴とする、

半導体装置。

【請求項19】 (a) 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を有するSOI基板を準備するステップと、

(b) 前記SOI層の上層部に選択的に部分絶縁膜を形成するステップとを備え、前記部分絶縁膜は前記部分絶縁膜下の前記SOI層の一部である半導体領域により、前記SOI層における第1及び第2の素子形成領域間を素子分離する部分分離領域を構成し、

(c) 前記第1及び第2の素子形成領域に第1及び第2のMOSトランジスタをそれぞれ形成するステップをさらに備え、

前記ステップ(c)は、前記第1及び第2のMOSトランジスタ間におけるボディ領域の構造、ゲート電極の構造、及びボディ電位固定の有無のうち、少なくとも一つを異ならせて、前記第1及び第2のMOSトランジスタのトランジスタ特性を異ならせたことを特徴とする、

半導体装置の製造方法。

【請求項20】 (a) 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を有するSOI基板を準備するステップと、

(b) 前記SOI層の上層部に選択的に部分絶縁膜を形成するステップとを備え、前記部分絶縁膜は前記部分絶縁膜下の前記SOI層の一部である半導体領域により、前記第1の素子形成領域を他の領域から素子分離する部分分離領域を構成し、

(c) 前記SOI層を貫通して選択的に完全絶縁膜を形成するステップをさらに備え、前記完全絶縁膜は前記第2の素子形成領域を他の領域から素子分離する完全分離領域を構成し、

(d) 前記第1の素子形成領域に第1のMOSトランジスタを形成するステップと、

(e) 前記第2の素子形成領域に第2のMOSトランジスタを形成するステップとをさらに備え、

前記ステップ(d)及び(e)は、前記第1及び第2のMOSトランジスタが異なるトランジスタ特性を有するように形成したことを特徴とする、

半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、SOI構造の半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

SOI(Silicon-On-Insulator)デバイスと呼ばれる半導体装置は、高速・低消費デバイスとして最近注目されている。

【0003】

このS O Iデバイスは、S O I層とシリコン基板との間に埋め込み酸化膜をはさんだS O I構造のS O I基板に作られる。特に、上層シリコン層であるS O I層を薄膜化した（～約数 μm ）S O Iデバイスは、薄膜S O Iデバイスと呼ばれ注目されており、携帯機器用L S Iなどの応用に期待されている。従来、S O I素子（S O I構造のS O I層に形成される（半導体）素子）は、S O I層のSi（シリコン）を貫通し、埋め込み酸化膜にかけて形成される素子分離用酸化膜によって完全分離されていた。

【0004】

【発明が解決しようとする課題】

この完全分離技術は、素子が他の素子から電気的に完全に絶縁されているため、ラッチアップフリー（ラッチアップが生じない）、ノイズに強い等の特長がある。しかし、トランジスタが電気的にフローティングな状態で動作するため、遅延時間に周波数依存性が生じたり、ドレイン電流ードレイン電圧特性でハンプが生じるキンク効果等といった基板フローティング効果が生じてしまう問題があった。この基板フローティング効果を抑制するため、分離酸化膜（部分酸化膜）を埋め込み酸化膜に接しないよう上層部に形成し、下層部のS O I層の一部とともに部分分離領域を構成し、部分分離領域で素子分離された領域に設けたボディ領域にボディ端子を設けることにより、部分酸化膜下のS O I層を介して基板電位（ボディ電位）を固定できる部分分離技術が有効である。ところが完全分離技術のメリットであったラッチアップフリーというメリットをこの部分分離技術では失ってしまうという問題点があった。

【0005】

そこで、両方のメリットを合わせもつ部分分離・完全分離併用技術が開発された。部分・完全分離併用技術は、部分分離・完全分離併用のトレンチ深さが異なる。そのため、分離酸化膜の酸化膜を堆積後のC M P処理後、トレンチ深さが深い完全分離部分は、部分分離と比較して、ディッシングが入る。したがって、ゲート酸化膜の信頼性の上で重要な分離エッジの形状が、部分分離と完全分離で異なる問題があった。また、併用プロセスにおいて、完全分離の分離エッジが低く



なるため、エッジ部分におけるMOSトランジスタの閾値電圧が局所的に低下し、リーク電流増加が懸念されるという問題点があった。

【0006】

また、従来のデバイスのみでは、ボディ端子からの距離がそれぞれのトランジスタにおいて異なるため、ボディ抵抗がばらつき、しきい値電圧がばらついてしまう問題があった。

【0007】

加えて、部分酸化膜下のSOI層を介してボディ電位を固定する部分分離技術によっても、ボディ電位を安定性良く固定できているといえない問題点があった。

【0008】

この発明は上記問題点を解決するためになされたもので、部分分離領域によつて素子分離された素子形成領域におけるボディ領域の安定性の良いボディ電位固定が行えるSOI構造の半導体装置、部分分離あるいは部分分離・完全分離併用したときに、高機能な半導体集積回路を構成可能な半導体装置及びその製造方法を得ることを目的とする。

【0009】

【課題を解決するための手段】

この発明に係る請求項1記載の半導体装置は、半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を有し、前記SOI層の素子形成領域に設けられるMOSトランジスタと、前記SOI層に設けられ、前記素子形成領域を素子分離する部分分離領域とを備え、前記部分分離領域は前記SOI層の上層部に設けられる部分絶縁膜と下層部に存在する前記SOI層の一部である部分絶縁膜下半導体領域とを含み、前記MOSトランジスタは、各々が前記SOI層内に選択的に形成される第1の導電型のソース及びドレイン領域と、前記ソース及びドレン領域間の前記SOI層の領域上にゲート酸化膜を介して形成されるゲート電極主要部を有するゲート電極と、前記ソース及びドレン領域間の前記SOI層の第2の導電型の領域であるボディ領域主要部と、前記素子形成領域内に前記ボディ領域主要部から電気的に接続して形成され、外部から電位固定可能なボディ領

域電位設定部とを含むボディ領域とを備える。

【0010】

請求項2の発明は、請求項1記載の半導体装置であって、前記ボディ領域電位設定部は、前記ソース及びドレイン領域のゲート幅方向で隣接し、かつ前記ボディ領域主要部からゲート長方向に延びて形成されるボディ領域ソース・ドレイン隣接部を含み、前記ゲート電極は、前記ゲート電極主要部の端部から前記ゲート長方向に延びて前記ボディ領域ソース・ドレイン隣接部上的一部に形成されるゲート延設領域をさらに有し、前記ゲート延設領域によって前記ボディ領域ソース・ドレイン隣接部と前記ソース及びドレイン領域とを電気的に遮断する。

【0011】

請求項3の発明は請求項2記載の半導体装置であって、前記ボディ領域ソース・ドレイン隣接部は、前記ボディ領域主要部から第1の方向に延びて形成される第1のボディ領域ソース・ドレイン隣接部と、前記ボディ領域主要部から前記第1の方向と反対の第2の方向に延びて形成される第2のボディ領域ソース・ドレイン隣接部とを含み、前記ゲート延設領域は、前記第1のボディ領域ソース・ドレイン隣接部上に形成される第1のゲート延設領域と、前記第2のボディ領域ソース・ドレイン隣接部上に形成される第2のゲート延設領域とを含む。

【0012】

請求項4の発明は、請求項2記載の半導体装置であって、前記ボディ領域ソース・ドレイン隣接部は一のボディ領域ソース・ドレイン隣接部を含み、前記ゲート延設領域は前記一のボディ領域ソース・ドレイン隣接部上に形成される一のゲート延設領域を含む。

【0013】

請求項5の発明は、請求項2ないし請求項4のうち、いずれか1項に記載の半導体装置であって、前記ボディ領域ソース・ドレイン隣接部は、前記ゲート延在領域から所定の距離を隔てた領域に、他の領域より第2の導電型の不純物濃度が高い高濃度領域を有する。

【0014】

請求項6の発明は、請求項2ないし請求項4のうち、いずれか1項に記載の半

導体装置であって、前記ゲート延在領域は、第2の導電型の不純物濃度が $5 \times 10^{18} \text{cm}^{-2}$ 以下のゲート延在領域を含む。

【0015】

請求項7の発明は、請求項1ないし請求項5のうち、いずれか1項に記載の半導体装置であって、前記ボディ領域電位設定部は、前記ソース領域と混在して形成される第2の導電型のボディ固定用半導体領域を含む。

【0016】

請求項8の発明は、請求項1ないし請求項7のうち、いずれか1項に記載の半導体装置であって、前記部分絶縁膜下半導体領域は第2の導電型を有し、前記ボディ領域と接して形成され、前記SOI層の前記素子形成領域外に設けられ、外部から電位固定可能な第1の導電型の素子形成領域外ボディ領域をさらに備え、前記素子形成領域外ボディー領域は前記部分絶縁膜下半導体領域と接して形成される。

【0017】

請求項9の発明は、請求項1ないし請求項8のうち、いずれか1項に記載の半導体装置であって、前記ソース及びドレイン領域は前記埋め込み絶縁層に到達する形成深さを有する。

【0018】

請求項10の発明は、請求項1ないし請求項8のうち、いずれか1項に記載の半導体装置であって、前記ソース及びドレイン領域は、通常動作時に前記ソース及びドレイン領域から延びる空乏層が前記埋め込み絶縁層に到達しない形成深さを有する。

【0019】

請求項11の発明は、請求項1ないし請求項8のうち、いずれか1項に記載の半導体装置であって、前記ソース及びドレイン領域は前記埋め込み絶縁層に到達せず、通常動作時に前記ドレイン領域から延びる空乏層は前記埋め込み絶縁層に到達する形成深さを有する。

【0020】

請求項12の発明は、請求項1ないし請求項8のうち、いずれか1項に記載の

半導体装置であって、前記ドレイン領域は、前記ソース領域より形成深さが深く、かつ通常動作時に前記ドレイン領域から延びる空乏層が前記埋め込み絶縁層に到達する形成深さを有する。

【0021】

この発明に係る請求項13記載の半導体装置は、半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を有し、前記SOI層の素子形成領域に設けられる所定の導電型の第1及び第2の半導体領域と、前記素子形成領域の上層部に設けられる部分絶縁膜と、下層部の前記素子形成領域の一部である所定の導電型の部分絶縁膜下半導体領域とを含み、前記部分絶縁膜下半導体領域は前記第1及び第2の半導体領域と電気的に接続され、抵抗素子を構成している。

【0022】

請求項14の発明は、請求項13記載の半導体装置であって、前記SOI層を貫通して設けられ、前記素子形成領域を素子分離する完全絶縁膜をさらに備える。

【0023】

請求項15の発明は、請求項13あるいは請求項14記載の半導体装置であつて、前記部分絶縁膜、前記第1及び第2の半導体領域以外の前記素子形成領域を前記抵抗素子の形成領域の一部としている。

【0024】

請求項16の発明は、請求項13ないし請求項15のうち、いずれか1項に記載の半導体装置であって、前記抵抗素子はSRAMメモリセルの負荷抵抗を含む。

【0025】

この発明に係る請求項17記載の半導体装置は、半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を有し、前記SOI層に設けられる第1及び第2の素子形成領域と、前記SOI層の上層部に設けられた部分絶縁膜と前記部分絶縁膜下の前記SOI層の一部である半導体領域とからなり、前記第1及び第2の素子形成領域間を素子分離する部分分離領域と、前記第1及び第2の素子形成領域にそれぞれ形成される第1及び第2のMOSトランジスタとを備え、前記第

1及び第2のMOSトランジスタ間におけるボディ領域の構造、ゲート電極の構造、及びボディ電位固定の有無のうち、少なくとも一つを異ならせて、前記第1及び第2のMOSトランジスタ特性を異ならせている。

【0026】

この発明に係る請求項18記載の半導体装置は、半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を有し、前記SOI層に設けられる第1及び第2の素子形成領域と、前記SOI層の上層部に設けられた部分絶縁膜と前記部分絶縁膜下の前記SOI層の一部である半導体領域とからなり、前記第1の素子形成領域を他の領域から素子分離する部分分離領域と、前記SOI層を貫通して設けられた完全絶縁膜からなり、前記第2の素子形成領域を他の領域から素子分離する完全分離領域と、前記第1の素子形成領域に形成される第1のMOSトランジスタと、前記第2の素子形成領域に形成される第2のMOSトランジスタとを備え、前記第1及び第2のMOSトランジスタは異なるトランジスタ特性を有している。

【0027】

この発明に係る請求項19記載の半導体装置の製造方法は、(a) 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を有するSOI基板を準備するステップと、(b) 前記SOI層の上層部に選択的に部分絶縁膜を形成するステップとを備え、前記部分絶縁膜は前記部分絶縁膜下の前記SOI層の一部である半導体領域とにより、前記SOI層における第1及び第2の素子形成領域間を素子分離する部分分離領域を構成し、(c) 前記第1及び第2の素子形成領域に第1及び第2のMOSトランジスタをそれぞれ形成するステップをさらに備え、前記ステップ(c)は、前記第1及び第2のMOSトランジスタ間におけるボディ領域の構造、ゲート電極の構造、及びボディ電位固定の有無のうち、少なくとも一つを異ならせて、前記第1及び第2のMOSトランジスタ特性を異ならせている。

【0028】

この発明に係る請求項20記載の半導体装置の製造方法は、(a) 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を有するSOI基板を準備する



ステップと、(b) 前記S O I層の上層部に選択的に部分絶縁膜を形成するステップとを備え、前記部分絶縁膜は前記部分絶縁膜下の前記S O I層の一部である半導体領域とにより、前記第1の素子形成領域を他の領域から素子分離する部分分離領域を構成し、(c) 前記S O I層を貫通して選択的に完全絶縁膜を形成するステップをさらに備え、前記完全絶縁膜は前記第2の素子形成領域を他の領域から素子分離する完全分離領域を構成し、(d) 前記第1の素子形成領域に第1のMOSトランジスタを形成するステップと、(e) 前記第2の素子形成領域に第2のMOSトランジスタを形成するステップとをさらに備え、前記ステップ(d) 及び(e) は、前記第1及び第2のMOSトランジスタが異なるトランジスタ特性を有するように形成している。

【0029】

【発明の実施の形態】

<発明の概要>

(技術背景)

部分分離技術のメリットは、部分分離領域によって素子形成領域外に設けられたボディ領域の電位を外部から設定可能にすることにより、部分酸化膜下のS O I層を介して基板電位を固定できる点であるが、このメリットは、高耐圧素子や高いホットキャリアの信頼性を必要なデバイスに対して、必ずしも十分であるというわけではない。これは、部分酸化膜直下のS O I層の膜厚が薄いことにより有限のボディ抵抗が存在するため、このデバイスにおいても、高電圧領域では、そのボディ抵抗により、キングが生じてしまう場合もある。このことにより、部分分離技術においても、ホットキャリアの信頼性、遅延時間の周波数依存性が必ずしも十分でないという技術背景がある。

【0030】

そこで、部分分離技術あるいは部分分離・完全分離併用技術において、分離エッジが異なることによるゲート酸化膜信頼性の低下を防ぐため、特に信頼性が必要な部分に、後に詳述するHゲート電極やTゲート電極を用いることにより、ボディ電位固定の信頼性を向上させ、同時にエッジリリーク電流の増加を抑制できる半導体装置が必要となる。



【0031】

(單一種のトランジスタ)

ボディ端子を有する部分分離において、後に詳述するHゲート電極、Tゲート電極及びソースタイ構造のうち、一の構造を用いた單一種のトランジスタを用いることにより、ボディ電位を固定する安定性がさらに向上し、ホットキャリア、遅延時間の周波数依存性の問題をさらに向上することができる。ただし、このような方法は、回路の速度を低下させるため、高速性を必要とする部分には、従来のデバイス（通常構造のゲート電極を用いたデバイス等）を用いた方が望ましい。

【0032】

(複数種のトランジスタの組合せ)

また、部分的にボディ端子を設けないようにして、フローティング状態で、トランジスタを動作させると、閾値電圧が低くできるため、ドレイン電流が大きいトランジスタを作製できる。したがって、ボディ端子によるボディ固定構造のトランジスタとともに、ボディフローティング構造のトランジスタとを回路内に混在して設けることにより、高速・低消費電力な回路を作製できる。

【0033】

また、部分分離技術において、ボディ端子からの距離の違いによる閾値ばらつきは、それぞれのトランジスタにボディ端子を設けることとなるHゲート電極やTゲート電極やソースタイ構造をもちいることにより抑制することができる。また、ボディ端子を用いないフローティング構造を用いると、当然ボディ抵抗による閾値バラツキを抑制できることは明らかである。ただし、フローティング構造では、閾値電圧が周波数依存性をもつデメリットがある。

【0034】

このように、さまざまな特長をもつ複数種のトランジスタを組み合わせることにより、設計する上で高機能なデバイスを提供することができる。

【0035】

<実施の形態1>

(従来のPDSOI-MOSFET)

図1は従来のMOSトランジスタの一つであるPD(Partially-Depleted)SOI-MOSFETの一例を示す断面図であり、図2は従来のPDSOI-MOSFETの一例を示す平面図である。図2のA1-A1断面が図1に相当する。

【0036】

PDSOI-MOSFETは、図1に示すように、ゲート電極7直下の空乏層90が、埋め込み酸化膜2まで達しない特徴を有する。この特徴のため、PDSOI-MOSFETは閾値電圧の制御性が優れている。

【0037】

図1及び図2に示すように、半導体基板(図示せず)上に形成された埋め込み酸化膜2上にSOI層4が形成されることによりSOI構造のSOI基板を実現している。SOI層4は部分酸化膜31及び部分酸化膜31下のpウェル領域11からなる部分分離領域によって素子分離される。

【0038】

SOI層4に選択的に形成されたソース領域51及びドレイン領域61は、それぞれSOI層4の表面から裏面(埋め込み酸化膜2の表面)に到達する深さで形成される。

【0039】

ソース領域51、ドレイン領域61間のSOI層4上にゲート酸化膜5が形成され、ゲート酸化膜5上にゲート電極7が形成される。また、ゲート電極7の側面にサイドウォール6が形成される。そして、ソース領域51及びドレイン領域61上にそれぞれソース端子26及びドレイン端子27が設けられる。

【0040】

また、部分酸化膜31及びその下方のpウェル領域11で素子分離されてボディー領域10(素子形成領域外ボディー領域)がSOI層4の表面から裏面にかけて形成される。ボディー領域10はpウェル領域11を介してゲート電極7下のSOI層4であるボディー領域主要部と電気的に接続されている。

【0041】

したがって、このボディー領域10上に設けられたボディー端子25に所定の電位を与えて、図1のPDSOI-MOSFETのボディ固定(ゲート酸化膜5

下のSOI層4であるチャネル電位を固定)することにより、上述したフローティング効果を抑制することができる。

【0042】

(実施の形態1のPDSOI-MOSFET)

図3はこの発明の実施の形態1である半導体装置の平面構造を示す平面図であり、図4は図3のA2-A2断面を示す断面図であり、図5は図3のB1-B1断面を示す断面図である。

【0043】

実施の形態1の半導体装置は、部分分離されたSOI層に設けられ、Hゲート電極を有するPDSOI-MOSFETによるボディ固定した半導体装置である。

【0044】

図3に示すように、Hゲート電極71は左右(図中上下)の“I”(ゲート延設領域、第1及び第2のボディ領域ソース・ドレイン隣接部)によって、ソース領域51及びドレイン領域61にゲート幅W方向に隣接して形成されるボディー領域13とドレイン領域61及びソース領域51とを電気的に分離し、中央の“-”(ゲート電極主要部)が本来のMOSトランジスタのゲート電極として機能する。なお、Hゲート電極71の左右(図中上下)の“I”的下方は絶縁膜を介してp⁻のボディ領域が形成されている。

【0045】

そして、図3及び図5に示すように、Hゲート電極71のゲート電極主要部下のSOI層4であるボディ領域主要部から、ゲート長方向に沿った第1の方向及びその反対の第2の方向に延び、かつソース領域51及びドレイン領域61とゲート幅方向で隣接して、2つのボディー領域13, 13(第1及び第2のボディ領域ソース・ドレイン隣接部)が形成される。

【0046】

したがって、Hゲート電極71の左右の“I”によって、ソース領域51及びドレイン領域61とボディー領域13, 13とが電気的に遮断され、ボディー端子28から得られるボディ電位がドレイン領域61、ソース領域51に直接伝達



されることはない。

【0047】

SOI層4に選択的に形成されたソース領域51及びドレイン領域61は、それぞれSOI層4の表面から裏面に到達する深さで形成される。

【0048】

ソース領域51、ドレイン領域61間のSOI層4上にゲート酸化膜5が形成され、ゲート酸化膜5上にHゲート電極71の中央の“-”部が形成され、Hゲート電極71の側面にサイドウォール6が形成される。そして、ソース領域51及びドレイン領域61上にそれぞれソース端子26及びドレイン端子27（図4では図示省略）が設けられる。

【0049】

また、部分酸化膜31及びその下方のpウェル領域11の部分分離領域によつて素子分離されたボディー領域10がSOI層4の表面から裏面にかけて形成される。ボディー領域10はpウェル領域11を介してHゲート電極71下のSOI層4であるボディ領域主要部と電気的に接続されている。

【0050】

さらに、前述したように、ボディー領域13はゲート酸化膜5下のSOI層4であるボディ領域主要部（チャネル領域）と隣接して形成されている。

【0051】

したがって、ボディー領域10上に設けられたボディー端子25に加え、ボディー領域13上に設けられたボディー端子28に所定の電位を与えることにより、実施の形態1のPDSOI-MOSFETのボディ固定することができるため、ボディ領域主要部の電位であるボディ電位固定を安定して行え、フローティング効果を大幅に抑制することができる。

【0052】

このような構造の実施の形態1のPDSOI-MOSFETは、Hゲート電極71の中央の“-”部の直下の空乏層90が、埋め込み酸化膜2まで達しない特徴を有する。この特徴のため、PDSOI-MOSFETは閾値電圧の制御性が優れている。



【0053】

したがって、実施の形態1の半導体装置は、Hゲート電極構造にしてPDSOI-MOSFETの形成領域内にボディー領域13, 13を設けることにより、図1及び図2で示した従来のPDSOI-MOSFETよりもボディ電位の強化を行うことができ安定性の良いボディ電位固定が可能となる。以下、この点を詳述する。

【0054】

図1及び図2で示した従来のPDSOI-MOSFETでは、ボディ端子25とチャネル領域とは部分分離直下の薄いpウェル領域11を介して電気的に接続されていたために、比較的抵抗が高く、ボディ端子25からの距離でトランジスタ特性がバラツキ易い。

【0055】

これに対して、実施の形態1の構造は、部分分離領域（部分酸化膜31及びその下方のpウェル領域11）を介して設けられたボディー領域10上のボディー端子25以外に、PDSOI-MOSFET形成領域内のソース領域51及びドレイン領域61近傍に形成されたボディー領域13上にボディー端子28を設けることができる。この2タイプのボディ端子25, 28により、ボディ抵抗の抵抗値を下げ、トランジスタ特性のバラツキを効果的に抑制することができる。

【0056】

また、ボディ抵抗を下げることにより、ドレイン・ブレークダウン電圧を高くすることができます。逆に、部分酸化膜31下のpウェル領域11の膜厚がSOI層4の膜厚に比例する場合に、同じボディ抵抗に設定すると、Hゲート電極構造を採用することによりSOI層4の膜厚を薄くすることができる。

【0057】

SOI層4の膜厚を薄くすることにより、ソース・ドレインの線成分（縦方向の成分）の接合容量を小さくすることができ、高速化できる可能性がある。また、Hゲート電極構造にすることにより、分離起因のエッジリリーク（エッジ寄生MOS）を小さくすることができる。また、分離エッジで引き起こされるゲート酸化膜信頼性の劣化を抑制することができる。なお、分離起因のエッジリリーク及び

ゲート酸化膜信頼性の劣化については後に詳述する。

【0058】

上述した特徴を有する実施の形態1のPDSOI-MOSFETは、ボディ電位固定が強く要求される、I/O回路、アナログ回路（PLL、センスアンプ回路）、タイミング回路、ダイナミック回路などに使うと特に有効である。

【0059】

（ソース・ドレイン領域による分類）

（第1の態様：ソース領域及びドレイン領域が共に直接埋め込み酸化膜2に接している構造（図3～図5で示した構造））

図4に示すように、ソース領域51及びドレイン領域61が埋め込み酸化膜2に直接接しているために、ボディー領域10上のボディー端子25によるボディ電位の固定効果が弱くなる。

【0060】

しかし、この第1の態様の構造は、ソース領域51及びドレイン領域61の底面にpn接合が形成されない分、pn接合界面の面積が小さくなるため、接合リードを抑制することができる。また、接合容量を小さくすることができる。

【0061】

（第2の態様：ソース領域及びドレイン領域は勿論、ソース領域及びドレイン領域からの延びる空乏層も埋め込み酸化膜に接しない構造）

図6は実施の形態1の第2の態様を示す断面図である。なお、図6は図3のA2-A2断面に相当する。

【0062】

同図に示すように、ソース領域52及びドレイン領域62は埋め込み酸化膜2に到達することなくSOI層4内に形成され、さらに、ソース領域52及びドレイン領域62から通常動作時に延びる空乏層91も埋め込み酸化膜2に到達しない。なお、他の構成は、第1の態様と同様である。

【0063】

このように、第2の態様は、ソース領域52及びドレイン領域62並びにソース領域52及びドレイン領域62から延びる空乏層91が共に埋め込み酸化膜2

に到達しない構造のため、ボディー端子25からチャネル領域に至るボディー抵抗R1の低減化を図ることができ、ボディー端子25によるボディ電位固定効果が一番大きいメリットを有する。ただし、p-n接合容量が大きくなるデメリットがある。

【0064】

(第3の態様：ドレイン領域は埋め込み酸化膜に接していないが、ドレイン領域からの延びる空乏層は埋め込み酸化膜に接しない構造)

図7は実施の形態1の第3の態様を示す断面図である。なお、図7は図3のA2-A2断面に相当する。

【0065】

同図に示すように、ソース領域53及びドレイン領域63は埋め込み酸化膜2に到達することなくSOI層4内に形成されるが、ソース領域53及びドレイン領域63から通常動作時に延びる空乏層92は埋め込み酸化膜2に到達する。なお、他の構成は、第1の態様と同様である。

【0066】

第3の態様は、ドレイン領域63が埋め込み酸化膜2に直接接していないために、第1の態様よりはボディ電位固定効果がある。しかも、空乏層92が埋め込み酸化膜2に接しているため、p-n接合容量も小さくなる。このp-n接合容量の低減化のメリットは、ドレイン領域63から延びる空乏層92が、埋め込み酸化膜2に電圧0Vで接している方が効果が大きい。なお、図7の例では、ソース領域53からの空乏層92も埋め込み酸化膜2に接しているが、埋め込み酸化膜2に接していない構造でも同様の効果を奏する。

【0067】

(第4の態様：ソース領域よりドレイン領域の方が形成深さが深く、ドレイン領域あるいはドレイン領域から延びる空乏層は埋め込み酸化膜に接する非対称構造)

図8は実施の形態1の第4の態様を示す断面図である。なお、図8は図3のA2-A2断面に相当する。

【0068】

同図に示すように、ソース領域52及びソース領域52から延びる空乏層94は埋め込み酸化膜2に到達しない反面、ドレイン領域61が埋め込み酸化膜2に直接接しているソース・ドレイン非対称構造を呈している。なお、他の構成は、第1の態様と同様である。

【0069】

なお、ソース・ドレインの非対称構造は、レジストマスクをしてソース・ドレインのイオン注入を打ち分けて作製することができる。

【0070】

このような構造の第4の態様は、ソース領域52の接合容量は回路の動作スピードにほとんど影響を与えないために、ソース領域52から延びる空乏層94が埋め込み酸化膜2に接していなくても悪影響はない。ソース領域52からの空乏層94が、埋め込み酸化膜2に接していないことによって、チャネル領域からソース領域52近傍領域下のボディー抵抗R1Sの抵抗値を小さくすることができる。また、空乏層94が埋め込み酸化膜2に接する構造でソース領域を形成しても良いがpn接合界面の面積を小さくできる分、空乏層94が埋め込み酸化膜2に到達しない構造の方が望ましい。

【0071】

ドレイン領域61に関しては、ドレイン領域61が埋め込み酸化膜2に接しているため、接合容量及びpn接合界面の面積を小さくすることができる。さらに、ドレイン領域61は埋め込み酸化膜2に接しないで、通常動作時におけるドレイン領域61からの空乏層が埋め込み酸化膜2に接するように構成すれば、ボディ抵抗の抵抗値低減化を図ることができる。

【0072】

<実施の形態2>

図9はこの発明の実施の形態2である半導体装置の平面構造を示す平面図である。なお、図9のA3-A3断面は図4で示す形状と同様であり、図9のB1-B1断面は、一方のみにボディー領域13が形成されている点を除き図5で示す形状と同様である。

【0073】

図9に示すように、実施の形態2のPDSOI-MOSFETは、実施の形態1のHゲート電極71に代えてTゲート電極72を採用した構造である。すなわち、実施の形態1のHゲート電極71は左右の“I”の近傍にそれぞれボディー領域13を形成したが、実施の形態2のTゲート電極72は一の“I”の近傍に、Hゲート電極71と同様にボディー領域13を形成している。他の構成は実施の形態1と同様であるため説明を省略する。

【0074】

したがって、実施の形態2のTゲート電極72は、実施の形態1と同様、2タイプのボディー領域10及び13上に設けられたボディ端子25及び28によりボディ固定を行うことにより、ボディ抵抗の抵抗値を下げ、トランジスタ特性のバラツキを効果的に抑制することができる。

【0075】

また、実施の形態2のTゲート電極72はactive領域（ソース領域51、ドレイン領域61等、部分酸化膜31が形成されていない領域）のエッジを覆う面積を小さくすることができることから、Hゲート電極71に比べてゲート容量を小さくできる。このため、実施の形態1のPDSOI-MOSFETに比べて、回路動作を高速にすることができる。

【0076】

また、分離エッジの問題は、実施の形態1同様にTゲート電極72を有する実施の形態2においても効果がある。

【0077】

したがって、実施の形態2のPDSOI-MOSFETは、ボディ電位固定が強く要求される、I/O回路、アナログ回路（PLL、センスアップ）、タイミング回路、ダイナミック回路などに使うと特に有効である。

【0078】

また、実施の形態2の構造は、ソース・ドレイン領域の接合位置によって、実施の形態1と同じく第1の態様から第4の態様に分類される。

【0079】

＜実施の形態3＞

図10はこの発明の実施の形態3である半導体装置の平面構造を示す平面図であり、図11は図10のA4-A4断面を示す断面図であり、図12は図11のA5-A5断面を示す断面図である。

【0080】

これらの図に示すように、実施の形態3のソース領域は2つに分離形成されたソース領域54の間に p^+ 領域55（ボディ固定用半導体領域）よりなるソース・タイ構造を呈している。

【0081】

また、ソース領域54、 p^+ 領域55及びドレイン領域61は、それぞれSOI層4の表面から裏面に到達する深さで形成される。

【0082】

ソース領域54（ p^+ 領域55）、ドレイン領域61間のSOI層4上にゲート酸化膜5が形成され、ゲート酸化膜5上にゲート電極7が形成され、ゲート電極7の側面にサイドウォール6が形成される。

【0083】

また、部分酸化膜31及びその下方のpウェル領域11で素子分離されてボディー領域10がSOI層4の表面から裏面にかけて形成される。ボディー領域10は部分酸化膜31下のpウェル領域11を介してゲート電極7下のSOI層4であるボディ領域主要部と電気的に接続される。

【0084】

このような実施の形態3のPDSOI-MOSFETにおけるソース・タイ構造は、図10、図11及び図12に示すように、ソース接合領域において、ソースとボディの電位を同時に固定することができる。具体的には、ソース領域の一部が p^+ 領域55となっているため、ソース領域54及び p^+ 領域55を同電位に設定することによりボディ電位固定を安定性良く行うことができる。もちろん、ボディー領域10によるボディ固定も行える。

【0085】

したがって、実施の形態3のPDSOI-MOSFETは、ボディ電位固定が強く要求される、I/O回路、アナログ回路（PLL、センスアップ）、タイミ



ング回路、ダイナミック回路などに使うと特に有効である。

【0086】

また、実施の形態3の構造は、ソース・ドレイン領域の接合位置によって、実施の形態1と同じく第1の態様から第4の態様に分類される。

【0087】

<実施の形態4>

図13はこの発明の実施の形態4の第1の態様である半導体装置の平面構造を示す平面図である。なお、図13のA6-A6断面は図11で示す形状と同様であり、図13のA7-A7断面は図12で示す形状と同様であり、図13のB3-B3断面は図5で示す形状と同様である。

【0088】

実施の形態4の第1の態様の構造は、実施の形態1のHゲート電極71と実施の形態3のソースタイ構造と組合せ構造であり、実施の形態1及び実施の形態3それぞれのボディ電位固定（ボディー領域10、2つのボディー領域13及びp⁺領域55によるボディ電位固定）を併せることにより、ボディ電位固定のより一層の強化を図ることができる。

【0089】

図14はこの発明の実施の形態4の第2の態様である半導体装置の平面構造を示す平面図である。なお、図14のA8-A8断面は図11で示す形状と同様であり、図14のA9-A9断面は図12で示す形状と同様である。

【0090】

実施の形態4の第2の態様の構造は、実施の形態2のTゲート電極72と実施の形態3のソースタイ構造と組合せ構造であり、実施の形態2及び実施の形態3それぞれのボディ電位固定（ボディー領域10、1つのボディー領域13及びp⁺領域55によるボディ電位固定）を併せることにより、ボディ電位固定のより一層の強化を図ることができる。

【0091】

図15はこの発明の実施の形態4の第3の態様である半導体装置の平面構造を示す平面図である。なお、図15のA10-A10断面は図11で示す形状と同

様であり、図15のA11-A11断面は図12で示す形状と同様であり、図15のB4-B4断面は図5で示す形状と同様である。

【0092】

実施の形態4の第3の態様の構造は、実施の形態1のHゲート電極71を改良した特殊Hゲート電極73と実施の形態3のソースタイ構造と組合せ構造であり、実施の形態1及び実施の形態3それぞれのボディ電位固定を併せることにより、ボディ電位固定のより一層の強化を図ることができる。

【0093】

さらに、実施の形態4の第3の態様では、特殊Hゲート電極73は、分離部73aによって、ソース領域54と p^+ 領域55とが分離される。

【0094】

実施の形態3及び実施の形態4の第1及び第2の態様のゲート電極は、分離部73aに相当する部分を有していないため、ソース領域54上にシリサイド領域を形成する際、ソース領域54と p^+ 領域55とが短絡してしまう。このため、ソースとドレインの働きを逆にして利用することができない。

【0095】

一方、実施の形態4の第3の態様は、分離部73aが存在するため、ソース領域54上にシリサイド領域を形成しても、分離部73aによってソース領域54と p^+ 領域55とは短絡しないため、ソースとドレインの働きを逆にして利用することができる。ただし、分離部73aが存在する分、ゲート容量は増加するため、第1の態様に比べ動作速度は遅くなる。なお、分離部73aの下方は酸化膜を介して p^- のボディ領域が形成されている。

【0096】

上述した、実施の形態4の第1～第3の態様のPDSOI-MOSFETは、ボディ電位固定が強く要求される、I/O回路、アナログ回路（PLL、センスアップ）、タイミング回路、ダイナミック回路などに使うと特に有効である。

【0097】

また、実施の形態4の構造は、ソース・ドレイン領域の接合位置によって、実施の形態1と同じく第1の態様から第4の態様に分類される。

【0098】

<実施の形態5>

実施の形態1～実施の形態4はそれぞれ部分分離領域によって素子分離される单一のPDSOI-MOSFETを有する半導体装置であったが、実施の形態5では部分分離領域によって素子分離される複数種のPDSOI-MOSFETを有する半導体装置である。以下、PDSOI-MOSFETの種類を列挙する。

タイプ1：通常ゲート構造（図1及び図2参照）でボディ電位固定を行う。

タイプ2：Hゲート電極構造でボディ電位固定を行う（実施の形態1）。

タイプ3：Tゲート電極構造でボディ電位固定を行う（実施の形態2）。

タイプ4：ソースタイ構造でボディ電位固定を行う（実施の形態3）。

なお、タイプ4とタイプ2あるいはタイプ3は重複する場合がある（実施の形態4）。

【0099】

(ボディフローティングタイプ)

図16はPDSOI-MOSFETのタイプ5（その1）の平面構造を示す平面図である。同図に示すように、ボディー領域10及びボディー端子25が存在することなくPDSOI-MOSFETのボディ領域主要部はフローティング状態とされる。

【0100】

図17はPDSOI-MOSFETのタイプ5（その2）の平面構造を示す平面図である。同図に示すように、ボディー領域10を設けてもボディー端子による電位固定は行われない構成も、PDSOI-MOSFETのボディ領域はフローティング状態とされる。

【0101】

このように、ボディ領域をフローティングにするタイプが新たな種別として分類される。タイプ5のPDSOI-MOSFETは閾値電圧をボディ電位固定を行うタイプ1～タイプ4より低く設定できる効果を奏する。

【0102】

このようなボディフローティングタイプにおいて、ゲート電極7のような通常

電極構造のものをタイプ5、ゲート電極7に置き換えてタイプ2及びタイプ3と同様にHゲート電極構造及びTゲート電極構造でボディフローティングにするタイプをタイプ6及びタイプ7に分類する。なお、タイプ6及びタイプ7において、ボディー領域13上のボディー端子28によるボディ電位固定は勿論行われない。

【0103】

以下、PDSOI-MOSFETのフローティングタイプ種類を列挙する。

【0104】

タイプ5：通常ゲート構造でボディフローティングにする（通常、図15で示すようなボディー領域10を設けないリンクドボディ構造である。）。

タイプ6：Hゲート電極構造でボディフローティングにする。

タイプ7：Tゲート電極構造でボディフローティングにする。

なお、ボディ領域の大きさがタイプ6>タイプ7>タイプ5のため、ボディ領域へのキャリアの逃がし易さによって、他の条件が同一の場合、閾値電圧はタイプ5<タイプ7<タイプ6の順になる。

【0105】

以上、述べたタイプ1～タイプ7のうち、2つ以上のタイプのPDSOI-MOSFETを部分分離領域によって素子分離された2つ以上の素子形成領域に形成したのが実施の形態5の半導体装置である。

【0106】

このような構成の実施の形態5の半導体装置は、部分分離領域よって素子分離された複数の素子形成領域に、ボディ領域の構造、ゲート電極の構造、及びボディ電位固定の有無のうち少なくとも一つを異ならせて、閾値電圧等のトランジスタ特性が異なる複数種のPDSOI-MOSFETを設けることができる。

【0107】

その結果、複数種のPDSOI-MOSFETのうち、トランジスタ特性に応じたPDSOI-MOSFETを用いて高機能な半導体集積回路を構成することができる。

【0108】

さらに、複数種のPDSOI-MOSFETそれぞれにおいて、チャネル濃度、SOI層4の膜厚、ゲート酸化膜5の膜厚、材質等をそれぞれ変更することにより、複数種のPDSOI-MOSFETそれぞれの閾値電圧を異なる値に設定することができる。

【0109】

また、タイプ1～タイプ4から2つ以上のタイプのPDSOI-MOSFETを用い、それぞれの基板バイアス（ボディ電位固定電圧）を異なる値に設定することによっても、それぞれ閾値電圧の異なったPDSOI-MOSFETを得ることができる。

【0110】

<実施の形態6>

実施の形態6の半導体装置は、部分分離領域によって素子分離された第1の素子形成領域に加え、完全分離領域（SOI層4の表面から裏面（埋め込み酸化膜2）に達する素子分離用の絶縁膜）によって素子分離された第2の素子形成領域とを有する部分分離・完全分離併用型の半導体装置である。

【0111】

以下、完全分離領域によって素子分離されるPDSOI-MOSFETの種類を列挙する。

【0112】

図18はタイプAのPDSOI-MOSFETの断面構造を示す断面図である。同図に示すように、SOI層4の表面から裏面（埋め込み酸化膜2）に到達するように設けられた完全分離領域である完全酸化膜32によって素子分離された領域にPDSOI-MOSFETが形成されている。なお、部分酸化膜31が完全酸化膜32に置き換わった点、ボディー領域10及びボディー端子25が存在しない点を除いて、図4で示した実施の形態1の平面構造と同様である。

【0113】

図19はタイプAのPDSOI-MOSFETの平面構造を示す平面図である。図19のA12-A12断面が図18に相当する。

【0114】

同図に示すように、部分酸化膜31が完全酸化膜32に置き換わった点、ボディー領域10が存在しなくなった点を除いて、図4で示した実施の形態1の平面構造と同様である。

【0115】

したがって、タイプAのPDSOI-MOSFETは、2つのボディー領域13上に設けられた2つのボディ端子28によりボディ電位固定を行うことにより、ボディ抵抗の抵抗値を下げ、トランジスタ特性のバラツキを効果的に抑制することができる。但し、実施の形態1のように、ボディー領域10上に設けられたボディ端子25によるボディ電位固定は行えない。

【0116】

図20はタイプBのPDSOI-MOSFETの平面構造を示す平面図である。同図に示すように、部分酸化膜31が完全酸化膜32に置き換わった点、ボディー領域10が存在しなくなった点を除いて、実施の形態2の平面構造と同様である。また、図20のA13-A13断面は図18で示した断面構造と同様である。

【0117】

したがって、タイプBのPDSOI-MOSFETは、1つのボディー領域13上に設けられたボディ端子28によりボディ電位固定を行うことにより、ボディ抵抗の抵抗値を下げ、トランジスタ特性のバラツキを効果的に抑制することができる。但し、実施の形態2のように、ボディー領域10上に設けられたボディ端子25によるボディ電位固定は行えない。

【0118】

他に、実施の形態3のように、完全分離領域においてソースタイ構造でボディ電位固定をおこなったのがタイプCとなる。

【0119】

図21はタイプDのPDSOI-MOSFETの平面構造を示す平面図である。同図に示すように、部分酸化膜31が完全酸化膜32に置き換わった点を除いて、図16で示した部分分離されたタイプ5のPDSOI-MOSFET同様である。なお、図21のA14-A14断面は図18で示した断面構造と同様であ

る。

【0120】

同様に、部分酸化膜31が完全酸化膜32に置き換わった点を除きタイプ6及びタイプ7のPDSOI-MOSFETと同様な構成がタイプE及びタイプFとして存在する。

【0121】

なお、タイプ5～タイプ7と同様の理由で他の条件が同一の場合、閾値電圧はタイプD<タイプF<タイプEの関係となる。

【0122】

以上、タイプA～タイプFが完全分離領域によって素子分離された第2の領域に形成されるPDSOI-MOSFETの種別である。上述したタイプA～タイプFをまとめると以下のようになる。

【0123】

タイプA：Hゲート電極構造でボディ電位固定を行う（実施の形態1に類似、但し、ボディー領域10によるボディ電位固定は行わない）。

タイプB：Tゲート電極構造でボディ電位固定を行う（実施の形態2に類似、但し、ボディー領域10によるボディ電位固定は行わない）。

タイプC：ソースタイ構造でボディ電位固定を行う（実施の形態3に類似、但し、 p^+ 領域55によるボディ電位固定は行わない）。

タイプD：通常ゲート構造でボディフローティングにする。

タイプE：Hゲート電極構造でボディフローティングにする。

タイプF：Tゲート電極構造でボディフローティングにする。

【0124】

これらタイプA～タイプFのPDSOI-MOSFETは完全分離領域によって素子分離された第2の素子形成領域に形成されるため、ラッチアップフリーという効果を奏する。

【0125】

また、タイプA及びタイプBのようにHゲート電極構造及びTゲート構造を採用したり、タイプCのようにソース・タイ構造を採用することにより、ボディ電

位を固定し基板浮遊効果を抑制することができる。

【0126】

一方、部分分離領域によって素子分離された第1の素子形成領域に形成されるPDSOI-MOSFETの種別は、実施の形態5で述べたタイプ1～タイプ7の種別となる。

【0127】

なお、PDSOI-MOSFETの閾値電圧について他の条件が同じ場合、以下のようない関係が成立する。「完全分離フローティング構造（タイプD～F）<部分分離フローティング構造（タイプ5～7）<ボディ電位固定構造（タイプA, B、タイプ1～タイプ4）。

【0128】

なお、完全分離フローティング構造より部分分離フローティング構造の方が閾値が高くなるのは、部分分離フローティング構造の方が完全分離フローティング構造よりボディ領域が大きいために、基板浮遊効果をまねくキャリア（NMOSでは正孔、PMOSでは電子）を消滅させる効果があるためである。

【0129】

実施の形態6は、部分分離・完全分離併用構造において、部分分離領域により素子分離された第1の素子形成領域に上記したタイプ1～タイプ7のうち1つ以上のタイプのPDSOI-MOSFETを形成するとともに、完全分離領域により素子分離された第2の素子形成領域に上記したタイプA～タイプFのうち1つ以上のタイプのPDSOI-MOSFETを形成した半導体装置である。

【0130】

このような構成の実施の形態6の半導体装置は、複数種のPDSOI-MOSFETを有することにより、それぞれの用途に適用したPDSOI-MOSFETを設けることができる。

【0131】

さらに、複数種のPDSOI-MOSFETそれぞれにおいて、チャネル濃度、SOI層4の膜厚、ゲート酸化膜5の膜厚、材質等をそれぞれ変更することにより、複数種のPDSOI-MOSFETそれぞれの閾値電圧を異なる値に設定

することができる。

【0132】

また、タイプ1～タイプ4から2つ以上のタイプのPDSOI-MOSFETを用い、それぞれの基板バイアス（ボディ電位固定電圧）を異なる値に設定することによっても、それぞれ閾値電圧の異なるPDSOI-MOSFETを得ることができる。

【0133】

図22は実施の形態6の半導体装置の平面構造を概念的に示した説明図である。同図に示すように、部分酸化膜31による部分分離領域131（131A～131G）と完全酸化膜32による完全分離領域132を混在して設けている。図22の例では、部分分離領域131Bにタイプ1～タイプ4のボディ電位固定タイプのPDSOI-MOSFETを設け、完全分離領域132にタイプA、タイプB、タイプD～タイプFのPDSOI-MOSFETを設け、部分分離領域131Dにタイプ5のボディフローティングタイプのPDSOI-MOSFETを設け、部分分離領域131Eにタイプ6及びタイプ7のボディフローティングタイプのPDSOI-MOSFETを設けている。

【0134】

（応用例1）

図23は実施の形態6の半導体装置による応用例1を示す回路図である。同図に示すように、PMOSトランジスタQ11～Q13及びNMOSトランジスタQ21～Q23Bによって3入力NANDゲート（半導体集積回路）を構成している。

【0135】

ノードN1、接地レベル間にNMOSトランジスタQ21～Q23がQ21～Q23の順に直列に接続され、出力端子33、ノードN1間にPMOSトランジスタQ11～Q13が並列に接続される。そして、入力信号IN1がPMOSトランジスタQ11及びNMOSトランジスタQ21のゲートに入力され、入力信号IN2がPMOSトランジスタQ12及びNMOSトランジスタQ22のゲートに入力され、入力信号IN3がPMOSトランジスタQ13及びNMOSトラ



ンジスタQ23のゲートに入力される。

【0136】

このような構成において、NMOSトランジスタQ21に完全分離フローティング構造（例えば、タイプD）を用い、NMOSトランジスタQ22に部分分離フローティング構造でかつボディ領域及びボディ端子を有さないリンクドボディ（linkd-body）構造（タイプ5）を用い、NMOSトランジスタQ23に部分分離ボディ電位固定構造（タイプ1～タイプ4のいずれか）を用いる。

【0137】

このように複数種のPDSOI-MOSFETをNMOSトランジスタQ21～Q23に使い分けて、NMOSトランジスタQ21～Q23にかけて基板バイアス効果が大きくなるように配置する。

【0138】

すなわち、基板バイアス効果の影響がQ21～Q23の順で受けやすい状況にあるNMOSトランジスタQ21～Q23として、Q21～Q23の順で基板バイアス効果の影響を強い特性のMOSトランジスタを用いることにより、基板バイアス効果による速度低下を効果的に抑制することができる。

【0139】

（応用例2）

図24は実施の形態6の半導体装置による応用例2を示す回路図である。同図に示すように、複数のインバータIVを直列に接続することによりインバータチャーン（あるいはリングオシレータ）を実現している。

【0140】

各インバータIVはPMOSトランジスタQ15及びNMOSトランジスタQ25により構成され、PMOSトランジスタQ15のドレインはノードN2と共に接続され、ノードN2はPMOSトランジスタQ14を介して電源電圧VDDに接続され、PMOSトランジスタQ14のゲートに制御信号S14が印加される。また、NMOSトランジスタQ25のソースは共通に接地される。

【0141】

なお、PMOSトランジスタQ14がオフ状態のとき各インバータIVを非活

性状態にし、PMOSトランジスタQ14がオン状態のとき各インバータIVを活性状態にすることができる。

【0142】

このような構成において、インバータIVを構成するPMOSトランジスタQ15及びNMOSトランジスタQ25に完全分離フローティング構造（タイプD～タイプF）あるいは部分分離リンクドボディ構造（タイプ5）を用いる。これらの構造はボディ電位固定構造より閾値電圧を低くすることができるため、インバータIVを高速に動作させることができる。

【0143】

一方、インバータIVのスイッチング制御用PMOSトランジスタQ14に部分分離ボディ電位固定構造（タイプ1～タイプ4）を用いることにより、閾値電圧を高くすることができるため、電源オフ状態時の低消費電力化を図ることができる。

【0144】

このように複数種のPDSOI-MOSFETをインバータIVを構成するMOSトランジスタQ15及びQ25とPMOSトランジスタQ14とで使い分け両者の閾値電圧を変えることにより、高速化・低消費電力化を図ることができる。

【0145】

（補足）

図25は、完全分離領域によって素子分離されるFD(Fully-Depleted)SOI-MOSFETの構造を示す断面図である。同図に示すように、見かけ上の構造は図16で示した完全分離ボディフローティング構造と同様である。

【0146】

ただし、FDSOI-MOSFETは、ゲート電極7直下の空乏層94が埋め込み酸化膜2まで到達する点がPDSOI-MOSFETを異なる。また、FDSOI-MOSFETにおいては、ソース・ドレインのn⁻領域が埋め込み酸化膜2まで到達する構造でも良い。

【0147】

なお、図25で示したFDSOI-MOSFETは、完全分離構造のタイプA～タイプFのいずれの構造も実現可能であり、部分分離構造のタイプ1～タイプ7のいずれの構造も実現可能である。

【0148】

FDSOI-MOSFETは、サブスレショルド係数が良い、すなわち、スイッチング速度が良いというメリットがある。しかし、SOI層4の膜厚のバラツキで閾値がバラついてしまうデメリットもある。この点で、PDSOI-MOSFETは、ゲート直下の空乏層が埋め込み酸化膜に接しないため、閾値電圧の制御性は良い。

【0149】

実施の形態5あるいは実施の形態6で用いたトランジスタ種別に、図25で示したFDSOI-MOSFETを加えて、用いるトランジスタ種別のさらなる多様化を図っても良い。

【0150】

なお、実施の形態1～実施の形態6では、主としてNMOSトランジスタの構造を示したが、PMOS・CMOSにも応用できることは明らかである。

【0151】

<実施の形態7>

(第1の態様)

図26はこの発明の実施の形態7の第1の態様である半導体装置の抵抗素子を示す断面図であり、図27は平面図である。図27のC1-C1断面が図26に相当する。

【0152】

これらの図に示すように、部分酸化膜31a及びその下方のpウェル領域11によって分離されてp⁺領域21及び22が設けられる。p⁺領域21及びp⁺領域22は部分酸化膜31a下のpウェル領域11を介して電気的に接続され、p⁺領域21上の抵抗端子23とp⁺領域22上の抵抗端子24との間に抵抗素子R3を形成することができる。

【0153】

すなわち、抵抗素子R3は、部分酸化膜31a下のSOI層4であるpウェル領域11を用いて形成される。そして、部分酸化膜31aの膜厚（すなわち、部分酸化膜31a下のpウェル領域11の膜厚）によって、抵抗素子R3の抵抗値を制御することができる。

【0154】

そして、抵抗素子R3の外周を部分酸化膜31aと異なる部分酸化膜31によって素子分離する。nウェル領域12及び⁺ガードリング領域20が形成される。n⁺ガードリング領域20はnウェル領域12に選択的に形成される領域である。n⁺ガードリング領域20及びnウェル領域12によって、抵抗素子R3が形成される抵抗素子形成領域を他の素子から分離することができる。

【0155】

図28は一般的な抵抗素子を示す断面図である。同図に示すように、pウェル領域11の上層部に選択的にp⁺領域21及び22が設けられる。p⁺領域21及びp⁺領域22はpウェル領域11を介して電気的に接続されることにより、p⁺領域21上の抵抗端子23とp⁺領域22上の抵抗端子24との間に抵抗素子R3を形成することができる。なお、他の構成は第1の態様と同様である。

【0156】

図23で示した第1の態様は部分酸化膜31下のpウェル領域11を利用して抵抗を形成するため、図28で示した一般的な抵抗素子抵抗値を大きくすることが可能である。

【0157】

（第2の態様）

図29は実施の形態7の第2の態様である半導体装置の抵抗素子を示す断面図である。第2の態様は部分分離・完全分離併用構造を採用している。

【0158】

同図に示すように、第1の態様と同様、p⁺領域21上の抵抗端子23とp⁺領域22上の抵抗端子24との間にある、部分酸化膜31下のpウェル領域11によって抵抗素子R3を形成することができる。

【0159】

抵抗素子R3は完全酸化膜32によって周囲と完全分離されるため、第1の態様のようにnウェル領域12及びn⁺ガードリング領域20を設ける必要はない。

【0160】

(第3の態様)

図30は実施の形態7の第3の態様である半導体装置の抵抗素子形成領域を示す断面図である。

【0161】

同図に示すように、部分酸化膜31及びその下方のpウェル領域11である部分分離領域によって素子分離されてp⁺領域21及び22が設けられる。p⁺領域21及びp⁺領域22は2つの部分酸化膜31a下のpウェル領域11及び部分酸化膜31が形成されないpウェル領域11aを介して電気的に接続され、p⁺領域21上の抵抗端子23とp⁺領域22上の抵抗端子24との間に抵抗素子R34を形成することができる。他の構成は第1の態様と同様である。

【0162】

第3の態様は部分酸化膜31が上部に形成されないpウェル領域11aによつて抵抗素子R34を形成するため、部分酸化膜31の形成時におけるディッシング問題を抑制することができる。

【0163】

以上示した実施の形態7は、抵抗値を決める不純物が、ソース・ドレイン領域形成時に分離酸化膜31を通して注入されるため、第3の態様のように部分酸化膜31が形成されない領域を設けることにより抵抗値のバラツキを抑制できる。

【0164】

(応用例)

図31は6トランジスタCMOS構成のSRAMセルを示す回路図である。同図に示すように、NMOSトランジスタQ1及びPMOSトランジスタQ5からなるCMOSインバータとNMOSトランジスタQ2及びPMOSトランジスタQ6からなるCMOSインバータとをノードN11, N12間に交叉接続することによりラッチを構成している。

【0165】

そして、ビット線BL1とノードN11間にNMOSトランジスタQ3が介挿され、ビット線BL2とノードN12との間にNMOSトランジスタQ4が介挿され、NMOSトランジスタQ3及びQ4のゲートはワード線WLに接続される。なお、NMOSトランジスタQ1、Q2、PMOSトランジスタQ5、Q6はドライバトランジスタと呼ばれ、NMOSトランジスタQ3、Q4はアクセストランジスタと呼ばれる。

【0166】

図32は図31で示したSRAMセルを実現するためのレイアウト構成を示す平面図である。同図に示すように、部分酸化膜31により素子分離されて、活性領域66～69が選択的に形成される。なお、活性領域66、69がn型不純物領域であり、活性領域67、68がp型不純物領域となる。

【0167】

そして、図32上において、活性領域66上を横断してゲート電極78が形成され、活性領域66及び67上を横断してゲート電極79が形成され、活性領域68及び69上を横断してゲート電極80が形成され、活性領域69上を横断してゲート電極81が形成される。

【0168】

また、活性領域66～69、ゲート電極78～82はそれぞれ所定箇所にコンタクト76が設けられ、このコンタクト76を介して図示しないビット線BL、ワード線WL等の配線と電気的に接続される。また、活性領域67はシェアードコンタクト77を介してゲート電極80と電気的に接続され、活性領域68はシェアードコンタクト77を介してゲート電極79と電気的に接続される。

【0169】

このように構成することにより、活性領域66及びゲート電極79によってNMOSトランジスタQ1を構成し、活性領域69及びゲート電極80によってNMOSトランジスタQ2を構成し、活性領域66及びゲート電極78によってNMOSトランジスタQ3を構成し、活性領域69及びゲート電極81によってNMOSトランジスタQ4を構成し、活性領域67及びゲート電極79によってPMOSトランジスタQ5を構成し、活性領域68及びゲート電極80によってP

MOSトランジスタQ6を構成している。

【0170】

図33は高抵抗負荷型セル構成のSRAMセルを示す回路図である。同図に示すように、NMOSトランジスタQ1及び抵抗R11からなるNMOSインバータとNMOSトランジスタQ2及び抵抗R12からなるNMOSインバータとをノードN11, N12間に交叉接続することによりラッチを構成している。他の構成は図31で示したSRAMセルと同様である。

【0171】

図34は図33で示したSRAMセルを実現するためのレイアウト構成を示す平面図である。同図に示すように、部分酸化膜31により素子分離されて、活性領域66, 69が選択的に形成される。なお、活性領域66, 69がn型不純物領域である。

【0172】

さらに、 p^+ 領域21a, 21b, 22a, 及び22bが選択的に形成され、 p^+ 領域21a, 22a及び21b, 22b間にそれぞれ実施の形態7の第2の態様で示した抵抗素子を形成する抵抗層形成ウェル領域82a及び82bがそれぞれ設けられる。なお、抵抗素子形成ウェル領域82a及び p^+ 領域21a, 22a並びに抵抗素子形成ウェル領域82b及び p^+ 領域21b, 22bは周囲に形成された完全酸化膜32によって他の素子から完全分離される。

【0173】

そして、図34上において、活性領域66上を横断してゲート電極78が形成され、活性領域667上を横断してゲート電極79が形成され、活性領域69上を横断してゲート電極80が形成され、活性領域69上を横断してゲート電極81が形成される。

【0174】

また、活性領域66, 69, ゲート電極78~82はそれぞれ所定箇所にコンタクト76が設けられ、このコンタクト76を介して図示しないビット線BL, ワード線WL等の配線と電気的に接続される。また、 p^+ 領域22aはシェアードコンタクト77を介してゲート電極80と電気的に接続され、 p^+ 領域22b

はシェアードコンタクト77を介してゲート電極79と電気的に接続される。

【0175】

このように構成することにより、活性領域66及びゲート電極79によってN MOSトランジスタQ1を構成し、活性領域69及びゲート電極80によってN MOSトランジスタQ2を構成し、活性領域66及びゲート電極78によってN MOSトランジスタQ3を構成し、活性領域69及びゲート電極81によってN MOSトランジスタQ4を構成し、 p^+ 領域21a, 22a及び抵抗素子形成ウェル領域82aによって負荷抵抗（LOAD素子）となる抵抗R11を構成し、 p^+ 領域21b, 22b及び抵抗素子形成ウェル領域82bによって負荷抵抗となる抵抗R12を構成している。

【0176】

図32と図34とを比較すると、抵抗素子形成ウェル領域82a, 82bの形成面積を活性領域67, 68の形成面積より狭くすることにより、SRAMセル面積を小さくすることができる。

【0177】

＜実施の形態8＞

図35は一般的なHゲート電極を示す平面図である。図35に示すように、Hゲート電極71は左右の“I”によって、ソース領域50及びドレイン領域60にゲート幅W方向に隣接して形成されるボディー領域16とドレイン領域60及びソース領域50とを電気的に分離し、中央の“-”が本来のMOSトランジスタのゲート電極として機能する。

【0178】

このような構成では、ボディ領域16に注入する p^+ 注入マスク開口部15がHゲート電極71の端部にかかっていた。したがって、Hゲート電極71の端部では、n型の不純物とともにp型の不純物も注入されることになり、Hゲート電極71下のゲート酸化膜に対する不純物注入時のダメージが大きくなる問題があった。また、プロセス温度によっては、p型不純物として注入されたB, BF2等のがactive領域に形成されるゲート電極領域まで拡散し、閾値電圧のバラツキを引き起こす問題があった。



【0179】

図36はこの発明の実施の形態8である半導体装置の平面構造を示す平面図である。図37は図36のD1-D1断面を示す断面図である。

【0180】

これらの図に示すように、Hゲート電極71は左右の“I”に隣接した領域にp⁻ボディー領域17bを設け、p⁻ボディー領域17bに隣接してp⁺ボディー領域17aを設けることにより、ボディー領域17を形成している。

【0181】

このように、p⁺ボディー領域17aをHゲート電極71から距離r1を離れて設けることにより、p⁺注入マスク開口部16をHゲート電極71の端部に確実にかからないよう設けることができる。

【0182】

したがって、図35で示した構造に比べ、Hゲート電極71下のゲート酸化膜に対する不純物注入時のダメージを大幅に軽減することができるため、ゲート酸化膜信頼性が向上し、閾値電圧のバラツキを効果的に抑制することができる。

【0183】

加えて、p⁺ボディー領域17aとHゲート電極71との間に距離r1が設けられているため、p⁺ボディー領域17a形成用のp型不純物として注入されたB, BF2等がゲート電極領域まで拡散し、閾値電圧のバラツキを引き起こすこともない。

【0184】

すなわち、図36の構成では、Hゲート電極71の端部にp型の不純物が注入されるのはせいぜいポケット領域形成時程度となるため、Hゲート電極71の端部におけるp型の不純物濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 以下に抑えることができ、閾値電圧のバラツキを抑制することができる。

【0185】

また、図37に示すように、Hゲート電極71下のSOI層4とp⁺ボディー領域17aとの間に不純物濃度が低いp⁻ボディー領域17bが設けられることになり、ボディー抵抗の抵抗値が上昇することが懸念される。

【0186】

しかしながら、 p^- ボディー領域17b上にシリサイドを設ける等によりによりその問題は比較的容易に解決できる。なお、実施の形態8はHゲート電極構造だけでなく、そのままTゲート電極構造にも応用できることは明らかである。

【0187】

また、分離技術に関して、完全分離、部分分離、部分分離・完全分離併用を用いて作られた、Hゲート電極・Tゲート電極構造に用いられる。この構造は、PMOS・CMOSにも応用できることは明らかである。

【0188】

なお、実施の形態1～実施の形態8は、単結晶Si上に作られたSOIトランジスタに関して述べたが、多結晶Si上に作られたポリシリコンTFT (Thin Film Transistor) にも応用できることはもちろんである。

【0189】

<部分分離フロー>

部分分離、部分分離・完全分離併用フロー例を以下に示す。

【0190】

図38～図52は部分分離領域より素子分離された第1の領域に素子を形成する部分分離フローを示す断面図である。以下、これらの図を参照して部分分離フローを説明する。

【0191】

まず、図38に示すように、初期ウェーハであるSOI基板を準備する。SOI基板は半導体基板1、埋め込み酸化膜2及びSOI層4の積層構造で形成され、典型的には、SOI層4の膜厚は、30～400nm、埋め込み酸化膜2の膜厚は100～500nmである。パワーデバイス用途では、SOI層4の膜厚が数μm～数十μmとなる。

【0192】

次に、図39に示すように、SOI層4の表面に酸化膜35を形成する。酸化膜35として熱酸化膜・TEOS酸化膜などを用いる。酸化膜35の膜厚は、約5～40nmである。次に、窒化膜36を酸化膜35上に堆積させる。窒化膜3

6の膜厚は、50～300nmである。窒化膜36は、LPCVD(Low Pressure Chemical Vapor deposition)やプラズマ窒化膜CVDで堆積することができる。

【0193】

次に、窒化膜36に対するリソグラフィーを行う。すなわち、窒化膜36上に形成されたレジストをマスクとして用い、RIE(Reactive Ion Etching)またはECR(Electron Cyclotron Resonance)装置で窒化膜36をパターニングする、次にレジストをアッシング及び硫酸過水でレジスト除去する。

【0194】

そして、図40に示すように、パターニングされた窒化膜36をマスクとしてRIE装置またはECR装置を用いて、酸化膜35及びSOI層4に対してエッチングを行い、トレンチ37を選択的に形成する。この際、SOI層4の一部が残存するようにトレンチ37を形成する。

【0195】

次に、図41に示すように、全面に酸化膜38を堆積させる。酸化膜38は、プラズマTEOS装置、HDP(High Density Plasma)装置等を用いて堆積させることができる。酸化膜38の厚は、約100～500nmである。次に、CMP(Chemical Mechanical Polishing)装置を用い、表面を平坦化させる。そのほか、トレンチ37に酸化膜38が埋め込まれた状態にすることができる。

【0196】

この後、1000℃～1100℃の熱処理を行い、堆積された酸化膜38の膜質を向上させる。また、酸化膜38を堆積する前の図40で示す段階で、トレンチ37の内壁を900℃～1000℃の高温熱酸化を行って、トレンチの上部及び底部のSOI層4の角部を丸めることは、ストレスが緩和するので効果的である。

【0197】

次に、図42に示すように、酸化膜をRIE、ECRまたはウェットエッチングを用いてエッチバックした後、次にホットリン酸を用い、窒化膜36を除去することにより、部分酸化膜31を完成させる。この部分酸化膜31と部分酸化膜

31下のSOI層4とによって分離された領域が素子形成領域となる。このとき、SOI層4（active）上に残っている酸化膜35を完全に除去し、再度、熱酸化膜又は酸化膜を堆積させてもよい。

【0198】

そして、図43に示すように、リソグラフィー処理でパターニングされたレジスト39をマスクとしてB（ボロン）イオン40を注入してpウェル領域11を形成する。

【0199】

続いて、図44に示すように、リソグラフィー処理でパターニングされたレジスト41をマスクとしてP（リン）イオン42を注入してnウェル領域12を形成する。

【0200】

nウェル領域12の形成には、P以外にも、As, Sbなどの不純物を用い、pウェル領域11の形成に、B以外にも、BF2, Inなどを用いてもより。pウェル領域11及びnウェル領域12とともに、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{19} \text{ cm}^{-2}$ になるようにする。

【0201】

そして、図45に示すように、SOI層4の表面上に形成される酸化膜35をウェットエッチングにより除去した後に、ゲート酸化膜用の酸化膜56を形成する。酸化膜56としては、通常の熱酸化膜・窒化酸化膜以外に、Al₂O₃等の金属酸化膜、Ta₂O₅・BSTなどの高誘電体酸化膜などを用いても良い。

【0202】

次に、LPCVD装置を用い、ポリシリコン層を約100～400nm堆積させる。ポリシリコン層として、P・Bなどの不純物をドープしたポリシリコン層を用いても良い。またさらに、このゲート電極の材料であるポリシリコン層の代わりに、W・Ta・Alなどの金属電極を用いてもよい。

【0203】

次に、リソグラフィーを行った後、このポリシリコン層をRIEまたはECRなどの異方性エッチング装置を用い加工してゲート電極7を形成する。この時、

ポリシリコン層の上に酸化膜または窒化膜／酸化膜の絶縁膜を堆積させ、リソグラフィー後、その絶縁膜をマスクにして、ポリシリコン層を加工してもよい。図45ではゲート電極7を代表的に示したが、Hゲート電極71、Tゲート電極72、特殊Hゲート電極73等の構造のゲート電極を形成しても良く、素子形成領域ごとにゲート電極構造を変更しても良い。

【0204】

次に、図46に示すように、リソグラフィー処理によりパターニングされたレジスト43及びゲート電極7をマスクとしてp型の不純物を注入してポケット領域11aを形成する。ポケット領域11aは微細化に伴う短チャネル効果を抑制する働きがある。短チャネル効果は、ソース・ドレインの接合深さ・ゲート酸化膜などの条件にも影響される。従ってその条件などを最適化し、短チャネル効果を抑制すれば、このポケット領域の形成工程を省くことも可能である。

【0205】

ポケット領域形成の際のp型不純物としては、約 $1 \times 10^{12} \sim 1 \times 10^{14} \text{cm}^{-2}$ で、BまたはBF2またはInを注入してポケット領域11aを形成する。

【0206】

さらに、ポケット領域形成後、レジスト43及びゲート電極7をマスクとしてn型不純物を注入してnエクステンション領域44を形成する。n型不純物として、約 $1 \times 10^{13} \sim 1 \times 10^{15} \text{cm}^{-2}$ で、As、PまたはSbを用いれば良い。

【0207】

次に、図47に示すように、リソグラフィー処理によりパターニングされたレジスト45及びゲート電極7をマスクとしてn型の不純物を注入してポケット領域12aを形成する。

【0208】

ポケット領域形成の際のn型不純物としては、約 $1 \times 10^{12} \sim 1 \times 10^{14} \text{cm}^{-2}$ で、As、P又はSbを用いて、ポケット領域12aを形成する。

【0209】

さらに、ポケット領域形成後、レジスト45及びゲート電極7をマスクとしてp型不純物を注入してnエクステンション領域46を形成する。p型不純物とし

て、約 $1 \times 10^{13} \sim 1 \times 10^{15} \text{cm}^{-2}$ で、B、BF2またはInを用いれば良い。

【0210】

なお、図46及び図47において、ポケット領域11a及びpエクステンション領域46は便宜上共に「p-」で図示しているが実際にはpエクステンション領域46の方が不純物濃度が高い。同様に、ポケット領域12a及びnエクステンション領域44は便宜上共に「n-」で図示しているが実際にはnエクステンション領域44の方が不純物濃度が高い。

【0211】

これから説明する図48以降の図においては、NMOSトランジスタ及びPMOSトランジスタのうち、NMOSトランジスタを代表させて説明を行う。なお、PMOSトランジスタにおいても導電型がNMOSトランジスタの反対の関係になる点を除き、NMOSトランジスタと同様にして形成される。

【0212】

次に、図48に示すように、ゲート電極7の側面にサイドウォール膜を堆積させる。このサイドウォール膜として、TEOS膜、プラズマ酸化膜を用いる。また、LPCVDやプラズマCVDで形成したSi₃N₄や、Si₃N₄/SiO₂の二層構造の絶縁膜を用いてもよい。堆積後、エッチバックを行い、サイドウォール6を形成する。

【0213】

次に、リソグラフィーを行い、NMOS形成領域にn型の不純物を注入してソース領域52及びドレイン領域62を形成する。n型の不純物として、As、P、Sbなどを $1 \times 10^{14} \sim 1 \times 10^{16} \text{cm}^{-2}$ で注入する。ソース領域52、ドレイン領域62の形成時にPMOSのn型のボディ領域を併せて形成しても良い。

【0214】

なお、図48では図示しないが、PMOSのソース・ドレイン領域は、B、BF2、Inなどのp型不純物を $1 \times 10^{14} \sim 1 \times 10^{16} \text{cm}^{-2}$ で注入することにより形成できる。この際、NMOSのp型のボディ領域を併せて形成しても良い。次にソース・ドレイン領域を活性化するためのアニール処理(800~1150°C)を行う。



【0215】

次に、図4-9に示すように、シリサイドを行う部分（ソース領域52、ドレイン領域62上やゲート電極7上やボディ領域（図示せず）上など）の酸化膜56を除去する。したがって、ゲート電極7及びサイドウォール6a下の酸化膜56のみが残存し、ゲート電極7下の酸化膜56がゲート酸化膜5となり、サイドウォール6a下の酸化膜56とサイドウォール6aとがサイドウォール6となる。そして、ソース領域52、ドレイン領域62及びゲート電極7の表面にシリサイド領域47、48及び49を形成する。

【0216】

この際、タイプ1～タイプ7のPDSOI-MOSFETのうち、2以上のPDSOI-MOSFETを部分分離領域により素子分離された2以上の素子形成領域にそれぞれ形成することにより実施の形態5の半導体装置を得ることができる。

【0217】

図4-9では、ソース・ドレイン及びゲート上にもシリサイドを行うシリサイドプロセスを描いている。ゲートのみをシリサイドするポリサイドプロセスや、用途(ESD:Electro-Static Dischargeなど)によっては、ソース・ドレイン及びゲートともシリサイドプロテクション酸化膜を形成し、完全にシリサイドを行わない場合もある。シリサイドとしては、 $TiSi_2 \cdot CoSi_2 \cdot NiSi_2 \cdot WSi_2 \cdot TaSi_2 \cdot MoSi_2 \cdot HfSi_2 \cdot Pd_2Si \cdot PtSi \cdot ZrSi_2$ などが用いられる。

【0218】

次に、図5-0に示すように、全面に酸化膜からなる層間絶縁膜85を約 $1\mu m$ 堆積させる。次に層間絶縁膜85を平坦化するためにCMPを行う。その後、コンタクト形成用のリソグラフィーを行い、エッチング処理によってシリサイド領域47、48上にコンタクトホール84を形成する。

【0219】

次に、図5-1に示すように、全面にW(タンゲステン)を堆積させる。Wの変わりに、Al, TiN, D-ポリシリコン層を堆積させてもよい。また、成膜方法と

しては、Wについては、プランケットCVD法と選択CVD法がある。Alに関しては、高温スパッタ法とリフロースパッタ法が、TiNやD-ポリシリコン層にはLPCVD法がある。Wと下地絶縁膜との密着性向上のため、Ti、TiN、TiWをWを堆積させる前に、形成しても良い。ここでは、プランケットCVD法の場合についてのWについて説明する。W堆積後、エッチバックにより完全平坦化する。

【0220】

次に、図52に示すように、1層目メタルとなるアルミ配線層88を堆積させる。勿論、アルミ配線層88の材料として、AlCuSiやCuやD-ポリシリコン層を用いても良い。リソグラフィー後、アルミ配線層88を加工する。

【0221】

次に、アルミ配線層88を含む全面に層間絶縁膜87を堆積し、凹凸段差をなくすために、CMP技術などを用い、平坦化する。

【0222】

次に、図53に示すように、2層目メタルとなる金属配線との接続孔（ビアホール）を開孔して、コンタクト同様にタンクステン層89の埋め込みを行った後、1層目メタルと同様にして2層目メタルとなるアルミ配線層97を形成した後、全面に層間絶縁膜96を堆積して、層間絶縁膜87と同様に平坦化する。

【0223】

以降、3層目メタル以上の金属配線が必要なデバイスの場合には、図52あるいは図53で示した工程をくり返した後、チップ保護膜（パシベーション膜）を堆積し、ボンディングワイヤー接続用の窓（パッド）を開孔してすべての工程が終了する。

【0224】

このCMOS工程は、n⁺ゲート、p⁺ゲートを用いたDual gateプロセスについて説明したが、勿論、Singleゲートプロセスや、金属ゲート（W、Taなど）プロセスを用いても良い。

【0225】

<部分分離・完全分離併用フロー>

図54～図57は部分分離・完全分離併用の半導体装置の製造方法における完全分離領域形成工程を示す断面図である。以下、これらの図を参照して、部分分離・完全分離併用フローを説明する。

【0226】

まず、図38～図40で示した部分分離フローを実行後、図54に示すように、リソグラフィー処理にパターニングされたレジスト98をマスクとして、トレンチ37に対するトレンチエッチを追加実行し、完全分離する部分は、SOI層4を貫通するようにエッティングして埋め込み酸化膜2に到達するトレンチ57を形成する。

【0227】

次に、図55に示すように、レジスト98を剥離後、全面に酸化膜99を堆積させる。この酸化膜99は、プラズマTEOS、HDP装置等を用い堆積させる。酸化膜99の膜厚は、約100～500nmである。部分分離用のトレンチ37と完全分離用のトレンチ57との深さにt1の相違が存在するため、図中のt1の分、トレンチ37上とトレンチ57上との間に酸化膜99の形成高さにt1を反映した段差t2が生じてしまう。

【0228】

その後、図56に示すように、CMP装置を用いて表面を平坦化させ、トレンチ37に酸化膜99が埋め込まれ、トレンチ57に酸化膜100が埋め込まれた状態にする。しかしながら、部分分離領域と完全分離領域とにおいて、酸化膜99に上述した段差t2高さが生じていたため、完全分離部分（酸化膜100）はディッシングが生じる。この後、1000°C～1100°Cの熱処理を行い、堆積膜の膜質を向上させる。また、酸化膜を堆積する前に、トレンチ内壁を900°C～1000°Cの高温熱酸化を行って、トレンチの上部や低部のSOI層4の角部を丸めることは、ストレスが緩和するので効果的である。

【0229】

次に、図57に示すように、酸化膜99及び100をRIEまたはECRまたはウェットエッティングを用い、エッチバックする。次にホットリン酸を用い、酸化膜35を除去する。その結果、部分酸化膜31と完全酸化膜32とがそれぞれ



完成する。その結果、部分酸化膜31によって周囲から素子分離される第1の素子形成領域と完全酸化膜32によって周囲から素子分離される第2の素子形成領域とが形成される。このとき、SOI層4の表面(active)上に残っている酸化膜35を、完全に除去し、再度、熱酸化又は酸化膜を堆積させてもよい。

【0230】

図58ゲート電極7用のポリシリコン層70の形成時の部分分離領域周辺領域を示す断面図である。同図に示すように、ポリシリコン層70を膜厚 t_0 で形成した場合、部分酸化膜31と酸化膜56との間に生じる比較的大きな段差を反映して部分酸化膜31のエッジ近傍領域上の膜厚は $t_{11}(>t_0)$ となる。

【0231】

図59はゲート電極7用のポリシリコン層70の形成時の完全分離領域周辺領域を示す断面図である。同図に示すように、ポリシリコン層70を膜厚 t_0 で形成した場合、完全酸化膜32と酸化膜56との間に生じる比較的小さな段差を反映して完全酸化膜32のエッジ近傍領域上の膜厚は $t_{12}(>t_0)$ となる。

【0232】

このように、部分分離用の部分酸化膜31と完全分離用の完全酸化膜32において、それぞれのエッジ形状である分離エッジ形状が異なることに起因して、部分酸化膜31と酸化膜56との間に生じる段差が完全酸化膜32と酸化膜56との間に生じる段差より大きくなるため、 $t_{11}>t_{12}$ が成立する。

【0233】

したがって、図45で示すようなゲート電極7を得るべく、ポリシリコン層70に対してエッチング処理を行う際、ポリシリコン層70における最大の膜厚 t_{11} 部分が確実に除去できるように、エッチング時間等のエッチングパラメータを決定して行うことになる。

【0234】

このため、膜厚 t_{12} の部分は、 $(t_{11}-t_{12})$ 相当分オーバーエッチングされ、エッチングダメージ(プラズマダメージ)が大きくなる。その結果、完全酸化膜32のエッジ近傍領域におけるゲート酸化膜となる酸化膜56の信頼性の劣化が懸念される。



【0235】

この問題は、Hゲート電極では、通常ゲートより多くの分離エッジ部分を“I”の部分で覆うため、分離エッジ部分のゲート酸化膜信頼性劣化を抑制することができる。

【0236】

すなわち、Hゲート電極の形成によって、ダメージがうけやすい分離エッジ部分が実効的に小さくなる。また、分離エッジ形状が低くなつた完全分離の部分に作られたトランジスタは、ゲート酸化膜が薄くなつて閾値電圧が低下することで引き起こされる局所的な寄生MOSによるリーク電流の増加の問題が懸念される。この問題も本発明のHゲート電極により抑制できる。

【0237】

その後の工程は、部分分離フローの図42～図54で示した工程と同様にして、部分分離領域よつて素子分離された第1の素子形成領域上に例えればタイプ1～タイプ7のうちいずれかのPDSOI-MOSFETを形成し、完全分離領域によつて素子分離された第2の素子分離領域上にタイプA～タイプFのうちいずれかのPDSOI-MOSFETを形成すれば実施の形態6の半導体装置が完成する。

【0238】

【発明の効果】

以上説明したように、この発明における請求項1記載の半導体装置は、外部から電位固定可能なボディ領域電位設定部を素子形成領域内に有するため、ボディ領域主要部の電位であるボディ電位を安定性良く固定することができる。

【0239】

請求項2記載の半導体装置は、ゲート電極のゲート延設領域によつてボディ領域ソース・ドレイン隣接部とソース及びドレイン領域とを電気的に遮断することにより、ボディ領域ソース・ドレイン隣接部の存在がMOSトランジスタの動作に何ら悪影響を与えることなく、ボディ電位を安定性良く固定することができる。

【0240】

請求項3記載の半導体装置は、第1及び第2のボディ領域ソース・ドレイン隣接部からそれぞれボディ電位固定を行える分、より安定性良くボディ電位を固定することができる。

【0241】

請求項4記載の半導体装置は、一のゲート延設領域にしてゲート容量を必要最小限に抑えながら、一のボディ領域ソース・ドレイン隣接部によって安定性良くボディ電位を固定することができる。

【0242】

請求項5記載の半導体装置において、ボディ領域ソース・ドレイン隣接部は、ゲート延在領域から所定の距離を隔てた領域に、他の領域より不純物濃度が高い高濃度領域を有するため、高濃度領域形成用の第2の導電型の不純物の注入の際に、確実にゲート延在領域に第2の導電型の不純物が注入されないようにできる。

【0243】

請求項6記載の半導体装置において、ゲート延在領域は、第2の導電型の不純物濃度が $5 \times 10^{18} \text{ cm}^{-2}$ 以下に抑えられているため、MOSトランジスタの閾値電圧のバラツキを抑制することができる。

【0244】

請求項7記載の半導体装置は、ソース領域と混在して形成される第2の導電型のボディ電位固定用半導体領域の電位固定を行うことにより、ボディ電位を安定性良く固定することができる。ボディ電位固定用半導体領域の存在は、ボディ領域とソース領域とを同電位に設定して動作するMOSトランジスタには何ら悪影響を与えない。

【0245】

請求項8記載の半導体装置は、ボディ領域電位設定部に加え、素子形成領域外ボディ領域から部分絶縁膜下半導体領域を介してボディ領域の電位固定を行うことができる。

【0246】

請求項9記載の半導体装置のMOSトランジスタにおけるソース及びドレイン



領域は埋め込み絶縁層に到達する形成深さを有するため、それぞれの底面には p-n 接合が形成されない分、接合リークを抑制することができる。

【0247】

請求項10記載の半導体装置のMOSトランジスタにおけるソース及びドレイン領域は、通常動作時にソース及びドレイン領域から延びる空乏層が埋め込み絶縁層に到達しない形成深さを有するため、素子形成領域外からボディ領域を電位固定する場合、安定性良くボディ電位固定することができる。

【0248】

請求項11記載の半導体装置のMOSトランジスタにおけるソース及びドレイン領域は埋め込み絶縁層に到達せず、通常動作時にドレイン領域から延びる空乏層は埋め込み絶縁層に到達する形成深さを有するため、接合容量を小さくしながら、素子形成領域外からボディ電位の固定を行うことができる。

【0249】

請求項12記載の半導体装置のMOSトランジスタにおけるソース領域より形成深さが深く、かつ通常動作時にドレイン領域から延びる空乏層が埋め込み絶縁層に到達する形成深さを有するため、素子形成領域外からソース領域下を介してボディ電位の固定を行いながら、ドレイン領域での接合容量を小さく抑えることができる。

【0250】

この発明における請求項13記載の半導体装置は、部分絶縁膜下のSOI層の一部である所定の導電型の部分絶縁膜下半導体領域を抵抗素子の構成要素とすることにより、抵抗値の高い抵抗素子を比較的狭い形成面積で得ることができ、その結果、集積度の優れた半導体集積回路を構成することができる。

【0251】

請求項14記載の半導体装置は、完全絶縁膜によって抵抗素子を外部から完全に素子分離することができる。

【0252】

請求項15記載の半導体装置は、部分絶縁膜、第1及び第2の半導体領域以外の素子形成領域を抵抗素子の形成領域の一部とすることにより、抵抗素子の抵抗

値のバラツキを抑制することができる。

【0253】

請求項16記載の半導体装置は抵抗素子をSRAMの負荷抵抗として用いることにより、集積度の優れたSRAMを構成することができる。

【0254】

この発明に係る請求項17記載の半導体装置は、第1及び第2のMOSトランジスタ間におけるボディ領域の構造、ゲート電極の構造、及びボディ電位固定の有無のうち、少なくとも一つを異ならせて、第1及び第2のMOSトランジスタのトランジスタ特性を異ならせることにより、第1及び第2のMOSトランジスタからなる高機能な半導体集積回路を構成することができる。

【0255】

この発明に係る請求項18記載の半導体装置は、部分分離領域によって素子分離された第1のMOSトランジスタと、完全分離領域によって素子分離された第2のトランジスタとの間でトランジスタ特性を異ならせることにより、第1及び第2のMOSトランジスタからなる高機能な半導体集積回路を構成することができる。

【0256】

この発明に係る請求項19記載の半導体装置の製造方法によって製造される半導体装置は、第1及び第2のMOSトランジスタ間におけるボディ領域の構造、ゲート電極の構造、及びボディ電位固定の有無のうち、少なくとも一つを異ならせて、第1及び第2のMOSトランジスタのトランジスタ特性を異ならせることにより、第1及び第2のMOSトランジスタからなる高機能な半導体集積回路を構成することができる。

【0257】

この発明に係る請求項20記載の半導体装置の製造方法によって製造される半導体装置は、部分分離領域によって素子分離された第1のMOSトランジスタと、完全分離領域によって素子分離された第2のトランジスタとの間でトランジスタ特性を異ならせることにより、第1及び第2のMOSトランジスタからなる高機能な半導体集積回路を構成することができる。

【図面の簡単な説明】

【図1】 従来のPDSOI-MOSFETの一例を示す断面図である。

【図2】 従来のPDSOI-MOSFETの一例を示す平面図である。

【図3】 この発明の実施の形態1（第1の態様）である半導体装置の平面構造を示す平面図である。

【図4】 図3のA2-A2断面を示す断面図である。

【図5】 図3のB1-B1断面を示す断面図である。

【図6】 実施の形態1の第2の態様を示す断面図である。

【図7】 実施の形態1の第3の態様を示す断面図である。

【図8】 実施の形態1の第4の態様を示す断面図である。

【図9】 この発明の実施の形態2である半導体装置の平面構造を示す平面図である。

【図10】 この発明の実施の形態3である半導体装置の平面構造を示す平面図である。

【図11】 図10のA4-A4断面を示す断面図である。

【図12】 図11のA5-A5断面を示す断面図である。

【図13】 この発明の実施の形態4の第1の態様である半導体装置の平面構造を示す平面図である。

【図14】 この発明の実施の形態4の第12態様である半導体装置の平面構造を示す平面図である。

【図15】 この発明の実施の形態4の第3の態様である半導体装置の平面構造を示す平面図である。

【図16】 PDSOI-MOSFETのタイプ5（その1）の平面構造を示す平面図である。

【図17】 PDSOI-MOSFETのタイプ5（その2）の平面構造を示す平面図である。

【図18】 タイプAのPDSOI-MOSFETの断面構造を示す断面図である。

【図19】 タイプAのPDSOI-MOSFETの平面構造を示す平面図

である。

【図20】 タイプBのPDSOI-MOSFETの平面構造を示す平面図である。

【図21】 タイプDのPDSOI-MOSFETの平面構造を示す平面図である。

【図22】 実施の形態6の半導体装置の平面構造を概念的に示した説明図である。

【図23】 実施の形態6の半導体装置による応用例1を示す回路図である

【図24】 実施の形態6の半導体装置による応用例21を示す回路図である。

【図25】 完全分離されたFDSOI-MOSFETの構造を示す断面図である。

【図26】 この発明の実施の形態7の第1の態様である半導体装置の抵抗素子形成領域を示す断面図である。

【図27】 実施の形態7の第1の態様を示す平面図である。

【図28】 一般的な抵抗素子形成領域を示す断面図である。

【図29】 実施の形態7の第2の態様である半導体装置の抵抗素子形成領域を示す断面図である。

【図30】 実施の形態7の第3の態様である半導体装置の抵抗素子形成領域を示す断面図である。

【図31】 6トランジスタCMOS構成のSRAMセルを示す回路図である。

【図32】 図31で示したSRAMセルを実現するためのレイアウト構成を示す平面図である。

【図33】 高抵抗負荷型セル構成のSRAMセルを示す回路図である。

【図34】 図33で示したSRAMセルを実現するためのレイアウト構成を示す平面図である。

【図35】 一般的なHゲート電極を示す平面図である。

【図36】 この発明の実施の形態8である半導体装置の平面構造を示す平面図である。

【図37】 図36のD1-D1断面を示す断面図である。

【図38】 部分分離フローを示す断面図である。

【図39】 部分分離フローを示す断面図である。

【図40】 部分分離フローを示す断面図である。

【図41】 部分分離フローを示す断面図である。

【図42】 部分分離フローを示す断面図である。

【図43】 部分分離フローを示す断面図である。

【図44】 部分分離フローを示す断面図である。

【図45】 部分分離フローを示す断面図である。

【図46】 部分分離フローを示す断面図である。

【図47】 部分分離フローを示す断面図である。

【図48】 部分分離フローを示す断面図である。

【図49】 部分分離フローを示す断面図である。

【図50】 部分分離フローを示す断面図である。

【図51】 部分分離フローを示す断面図である。

【図52】 部分分離フローを示す断面図である。

【図53】 完全分離フローを示す断面図である。

【図54】 完全分離フローを示す断面図である。

【図55】 完全分離フローを示す断面図である。

【図56】 完全分離フローを示す断面図である。

【図57】 完全分離フローを示す断面図である。

【図58】 ゲート電極用のポリシリコン層の形成時の部分分離領域周辺領域を示す断面図である。

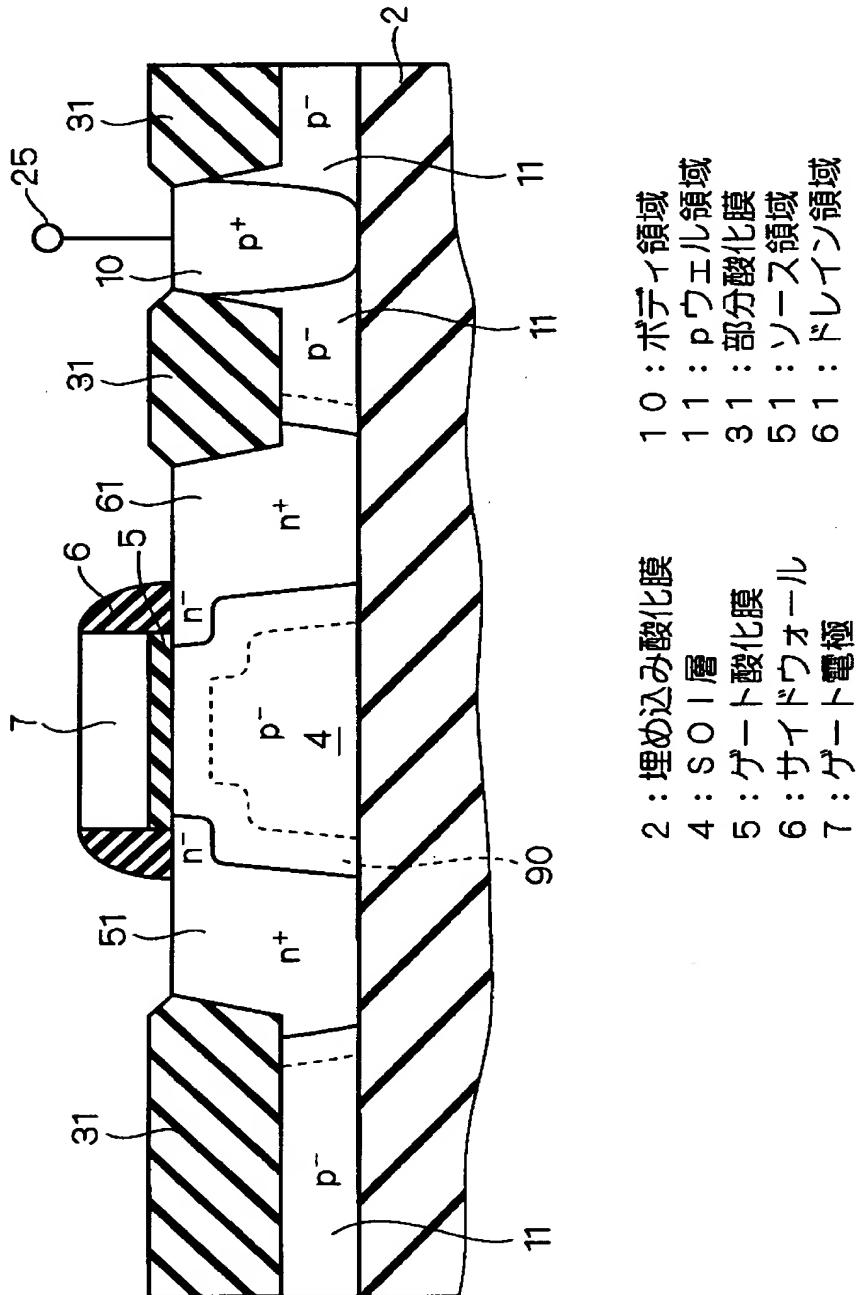
【図59】 ゲート電極用のポリシリコン層の形成時の完全分離領域周辺領域を示す断面図である。

【符号の説明】

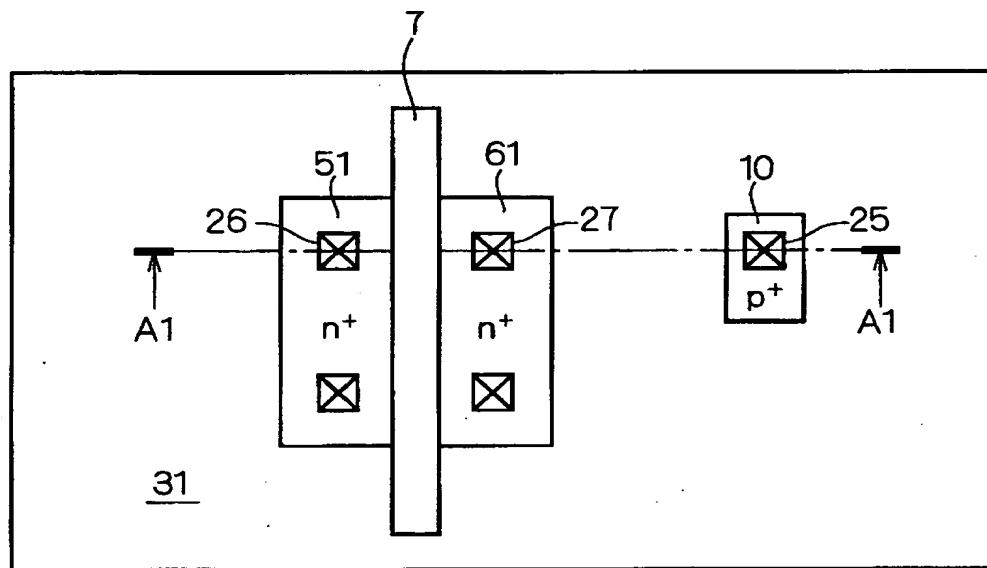
2 埋め込み酸化膜、4 SOI層、5 ゲート酸化膜、6 サイドウォール

、 7 ゲート電極、 10, 13 ボディ領域、 11 pウェル領域、 17a p⁺ボディ領域、 17b p⁻ボディ領域、 21, 22, 55 p⁺領域、 31 部分酸化膜、 51~54 ソース領域、 61~63 ドレイン領域、 71 Hゲート電極、 72 Tゲート電極、 73 特殊Hゲート電極、 131A~131G 部分分離領域、 132 完全分離領域、 R3, R34 抵抗素子。

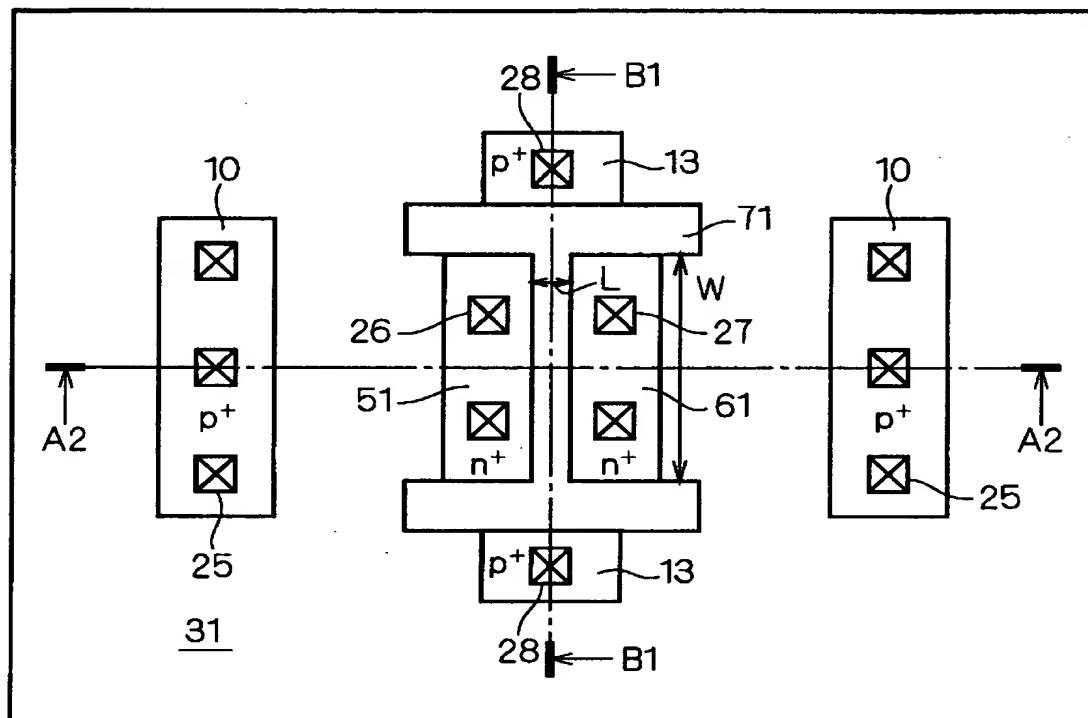
【書類名】 図面
【図1】



【図2】

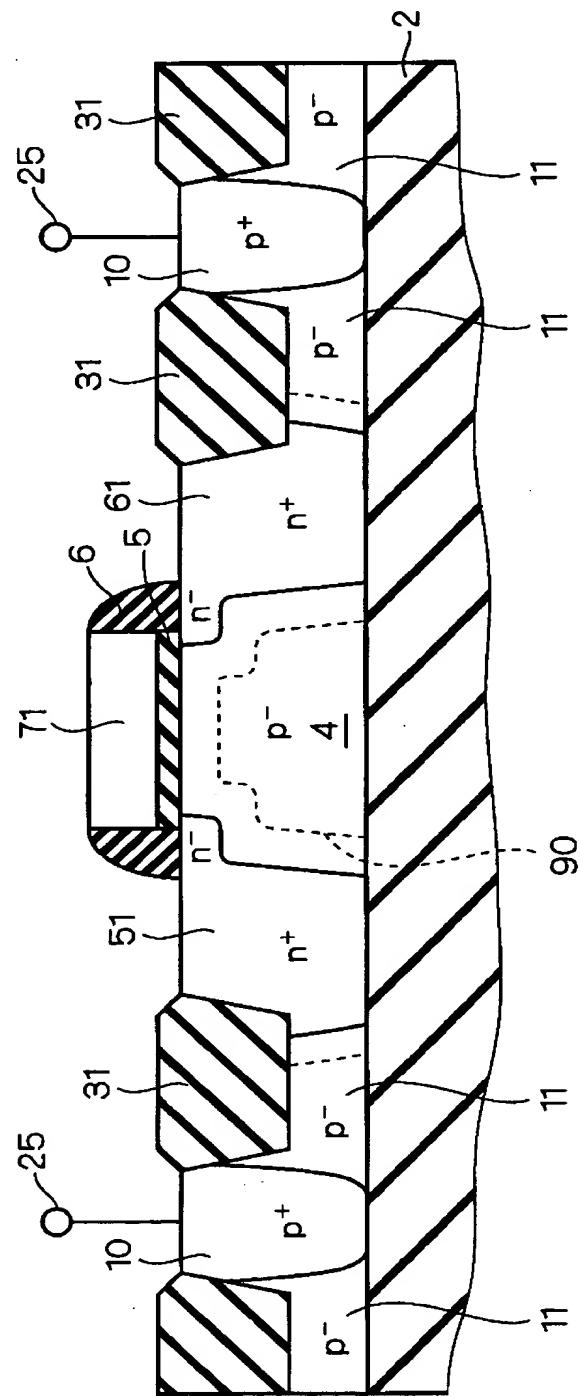


【図3】

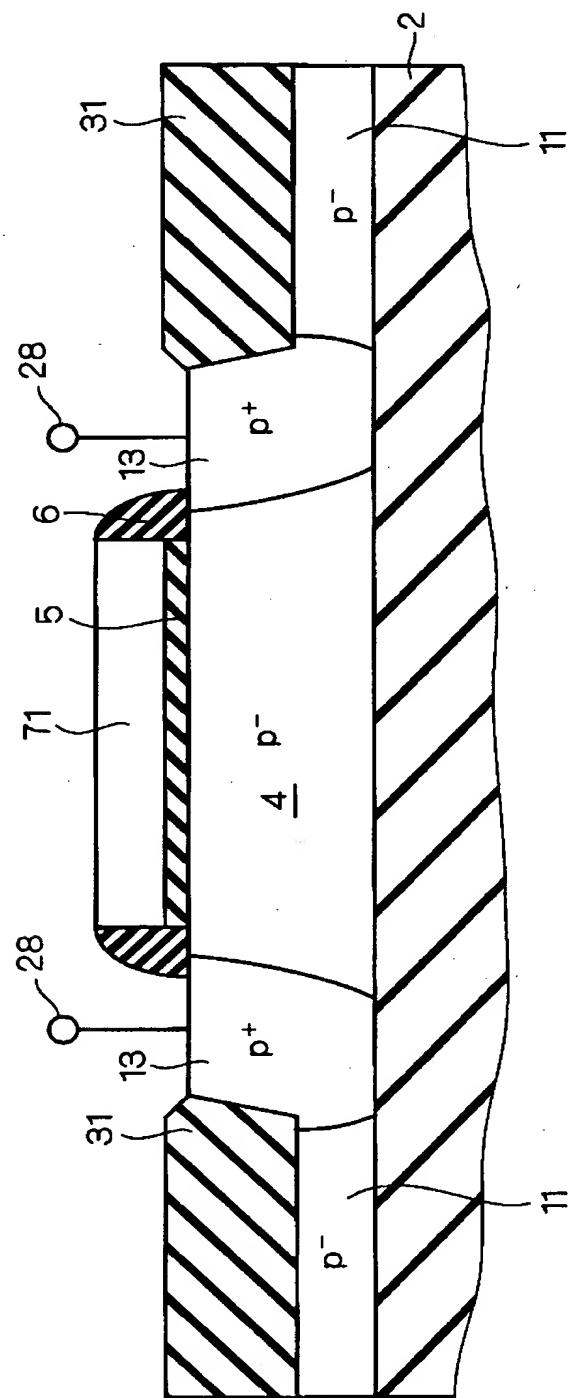


13 : ボディ領域
71 : Hゲート電極

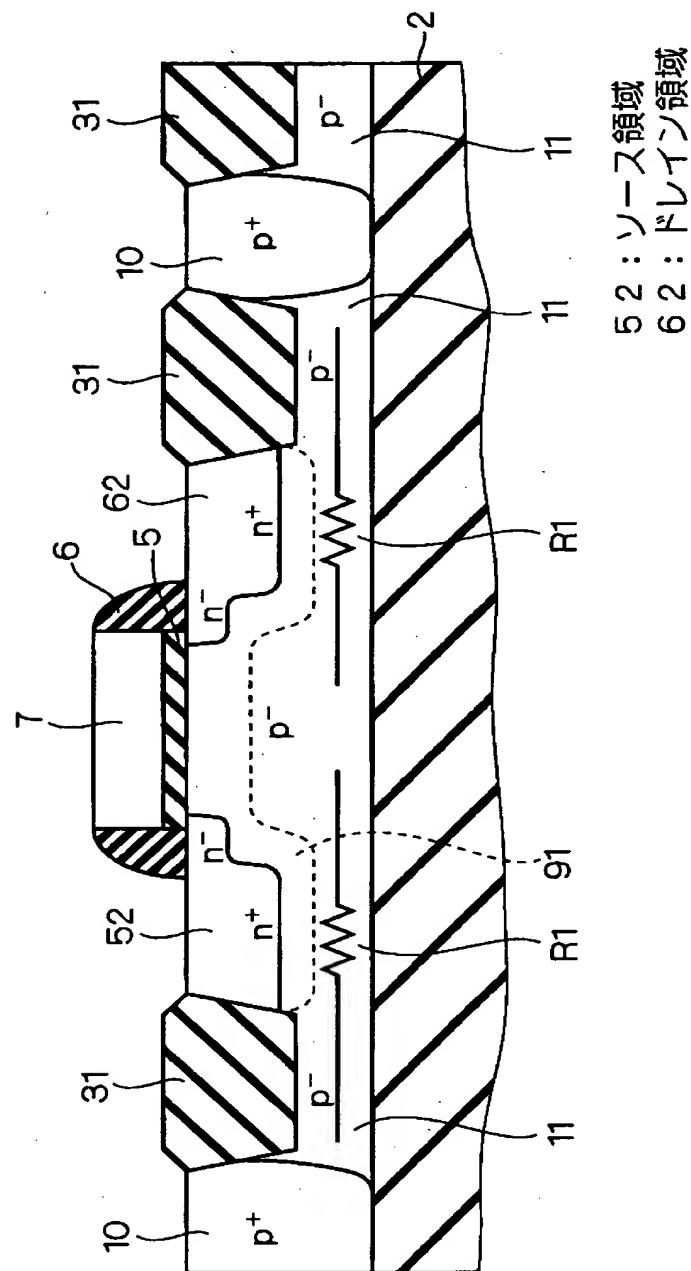
【図4】



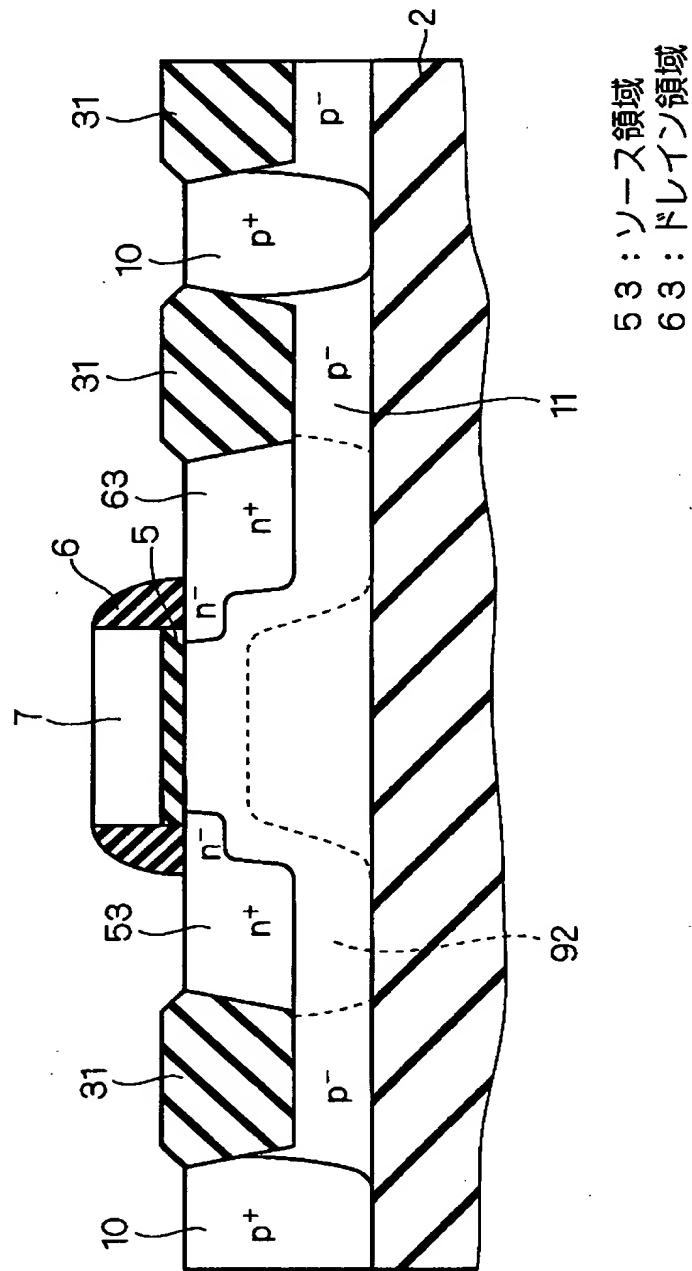
【図5】



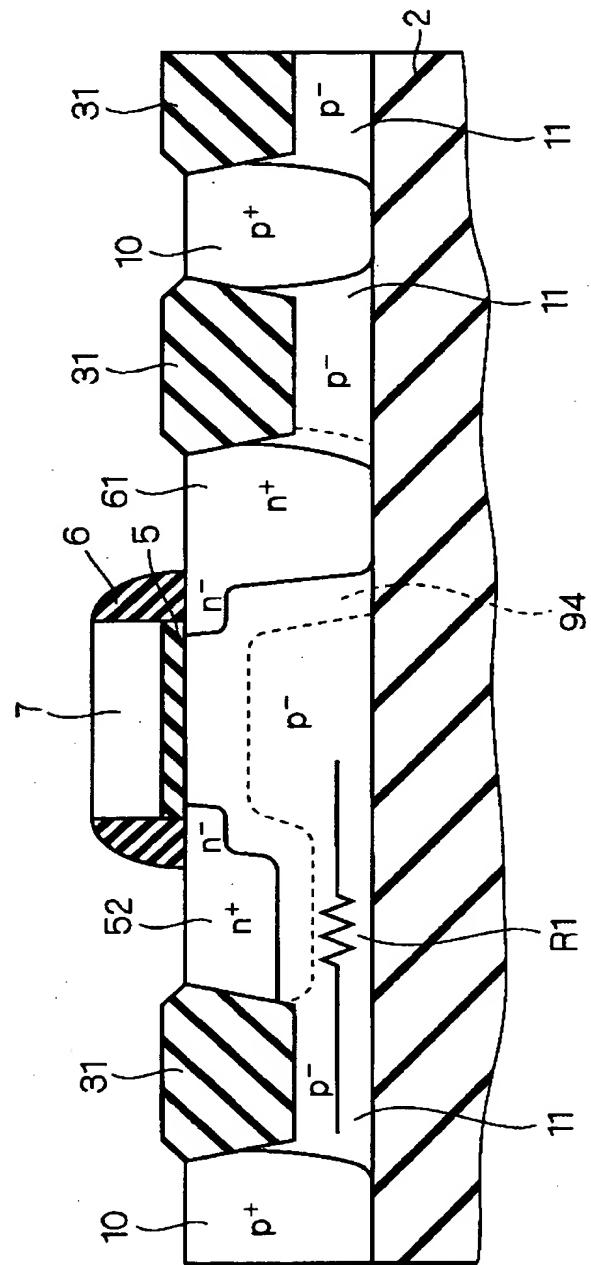
【図6】



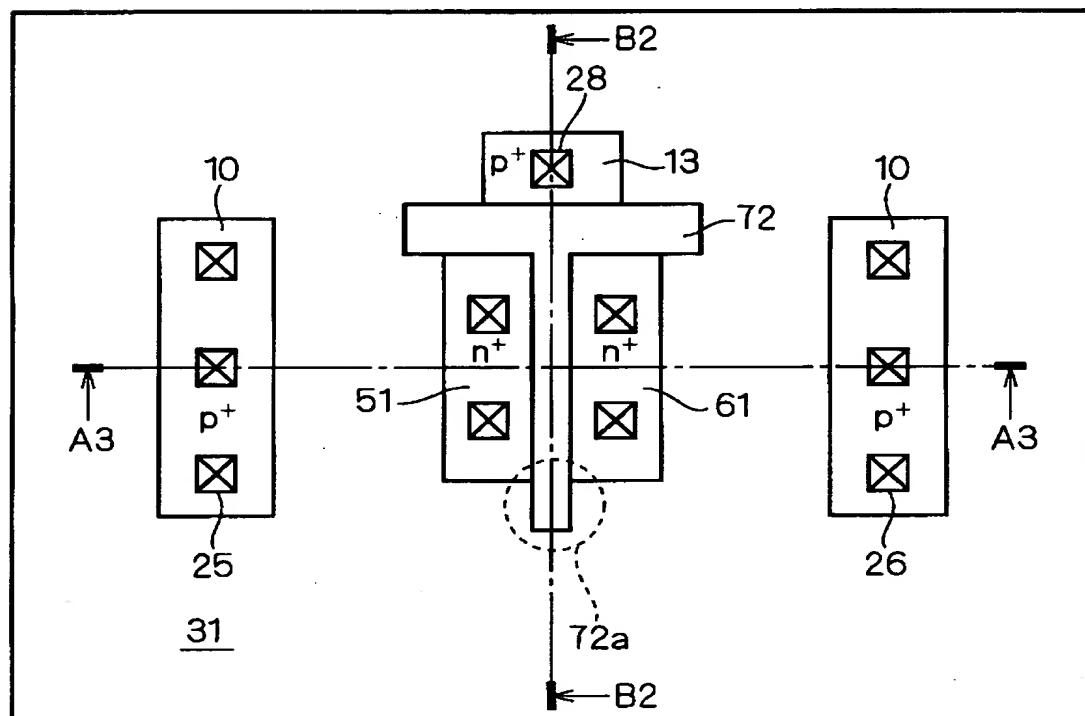
【図7】



【図8】

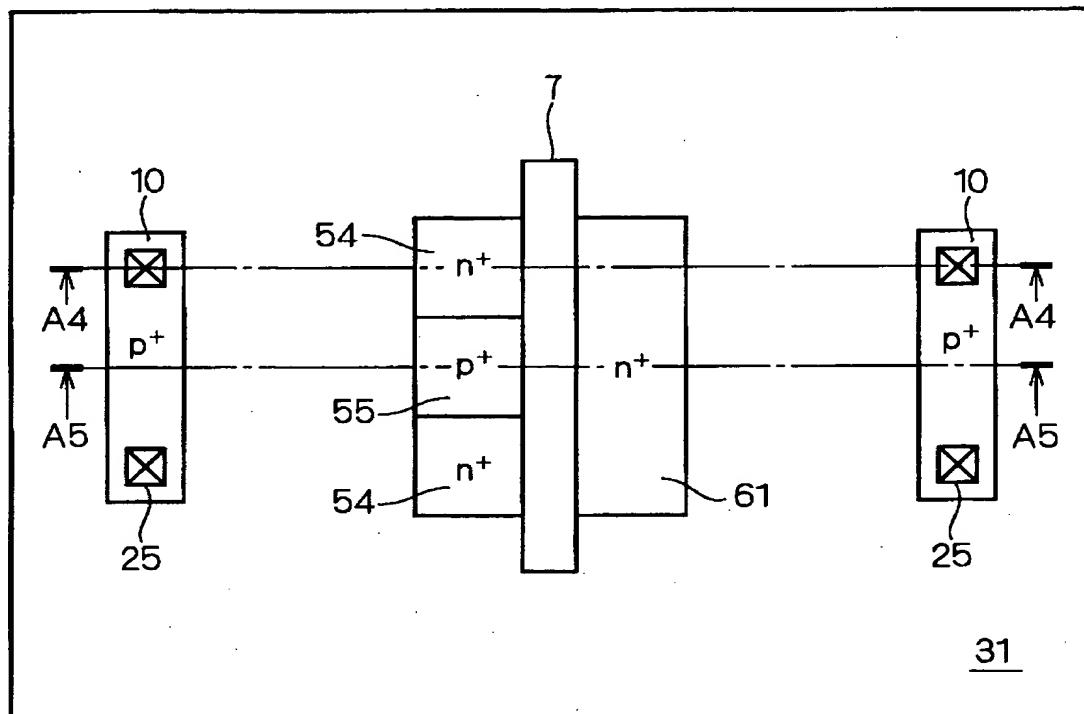


【図9】



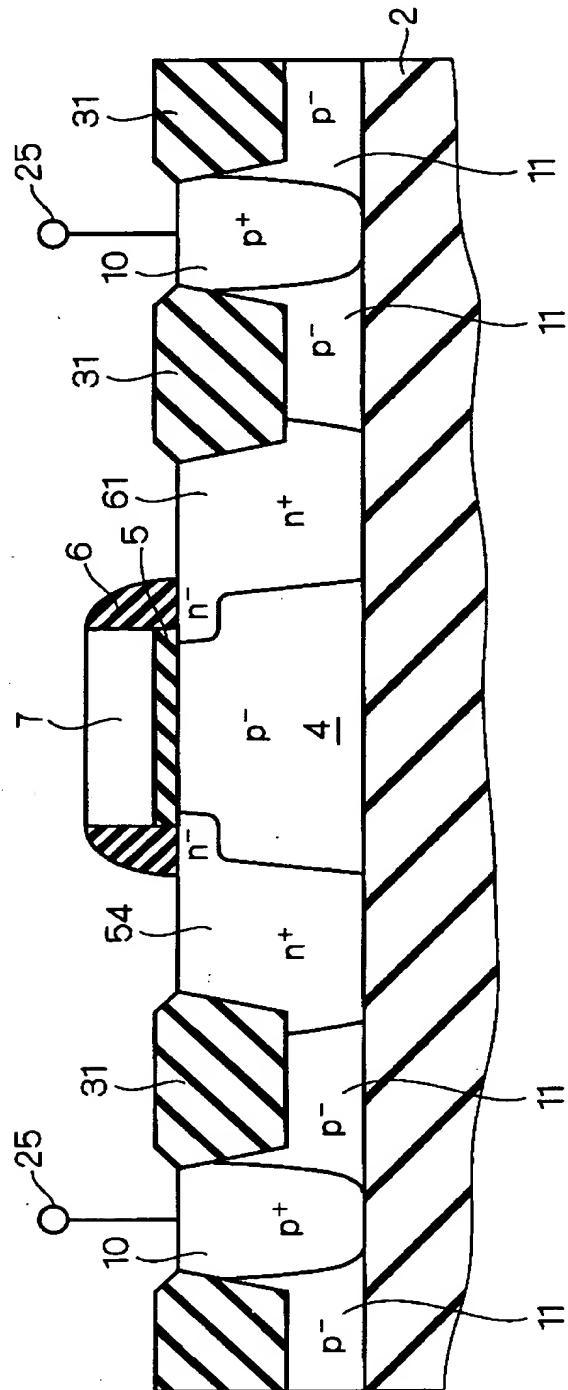
72 : Tゲート電極

【図10】

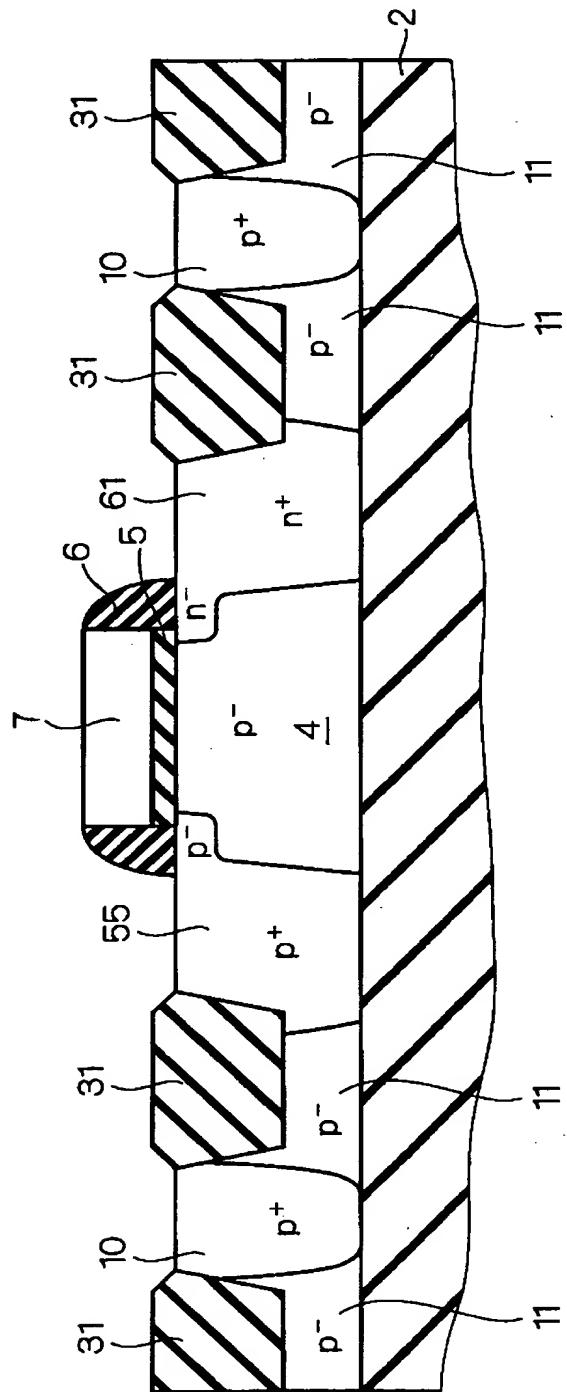


54 : ソース領域
55 : p⁺領域

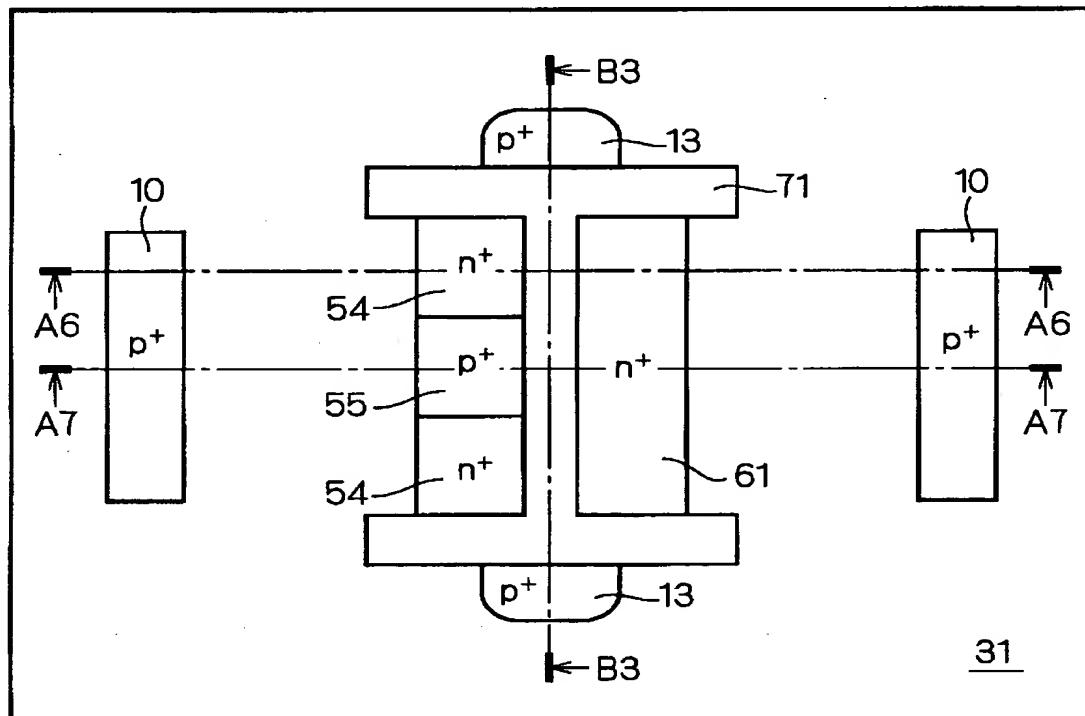
【図11】



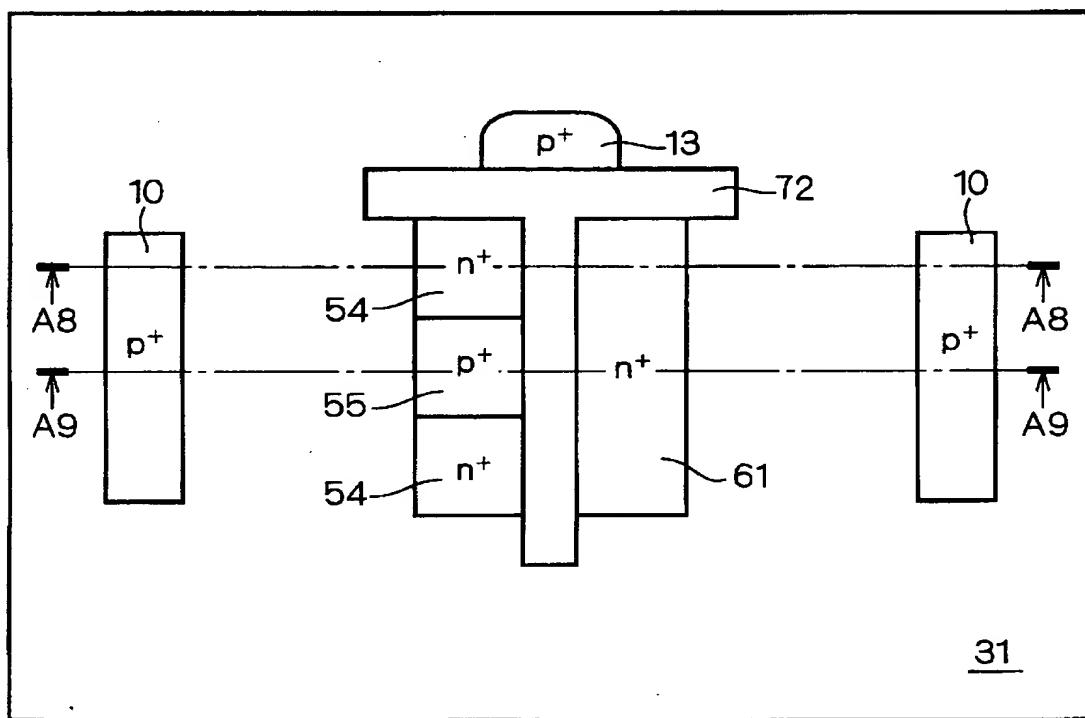
【図12】



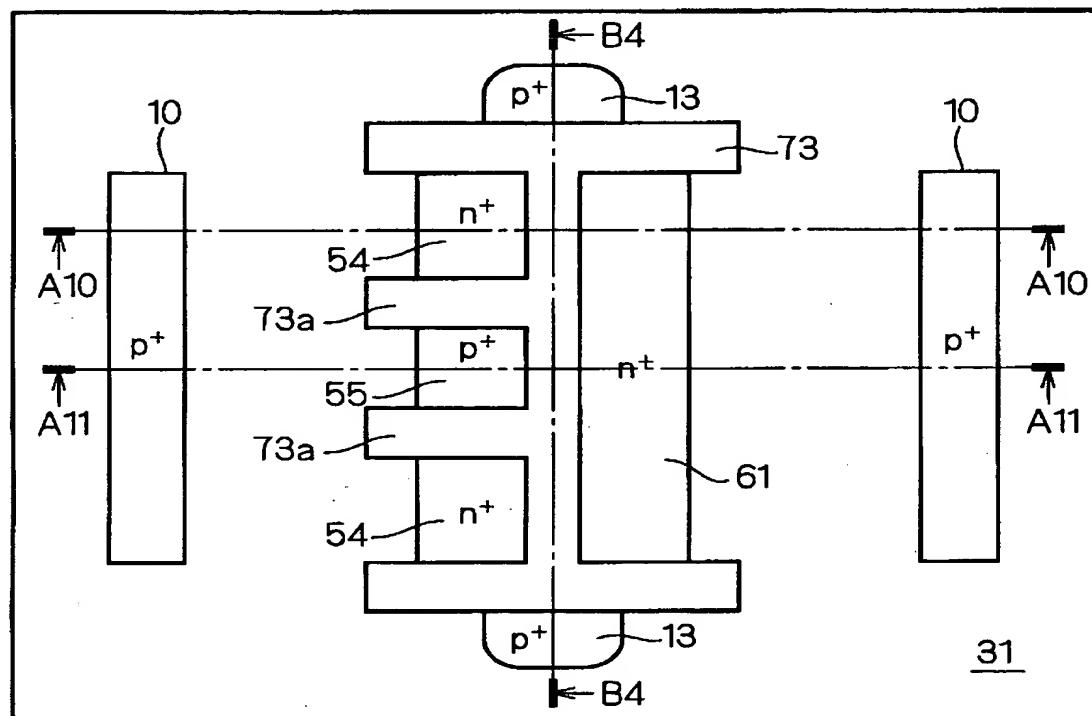
【図13】



【図14】

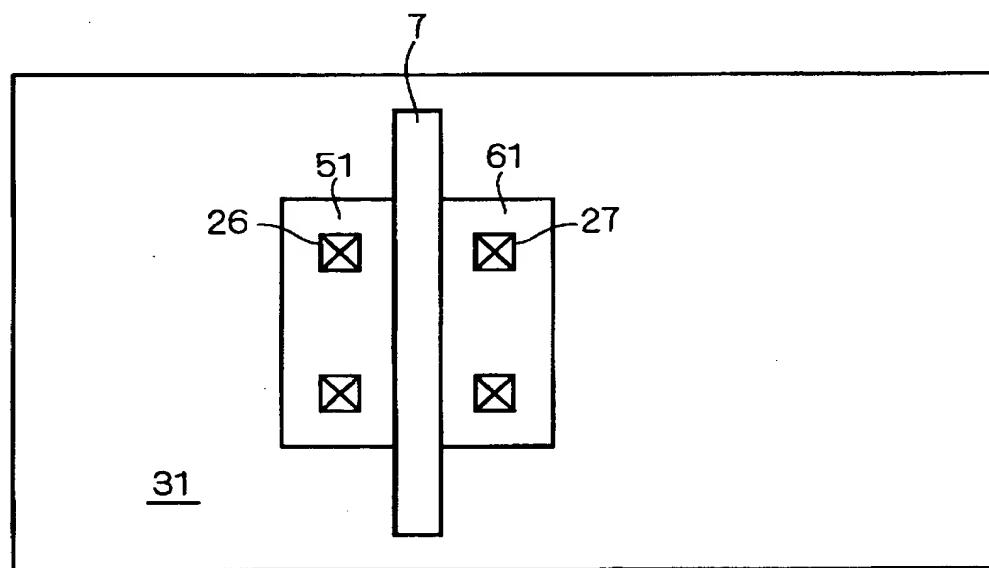


【図15】

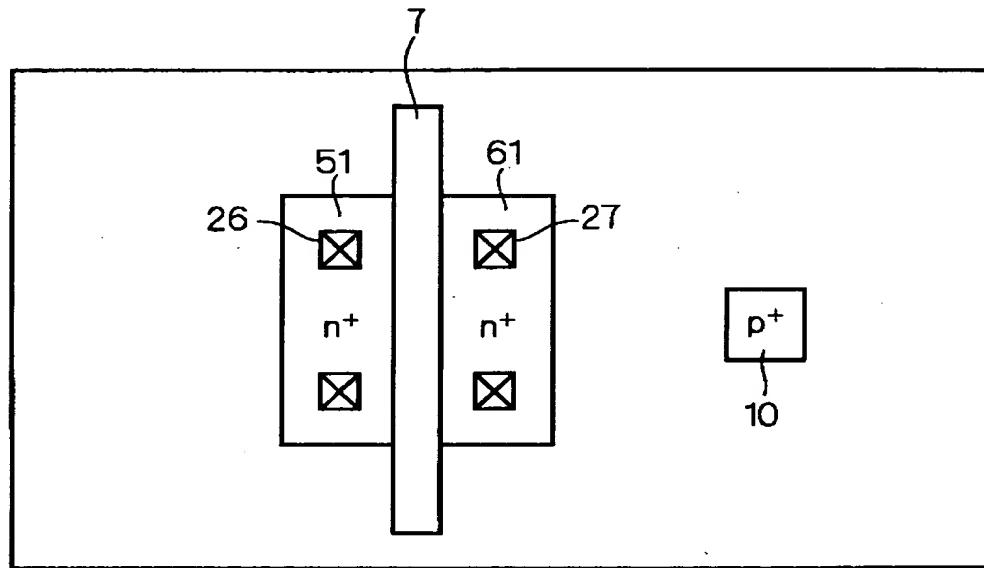


73 : 特殊Hゲート電極

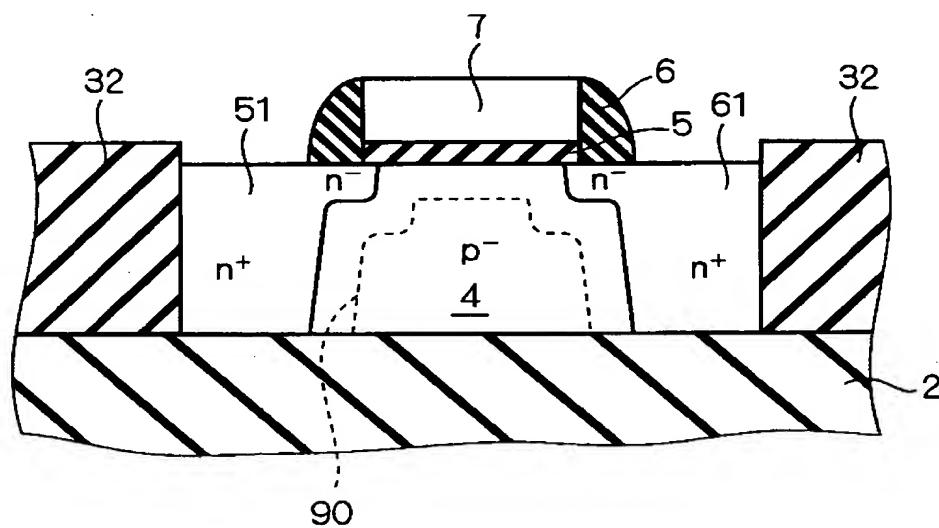
【図16】



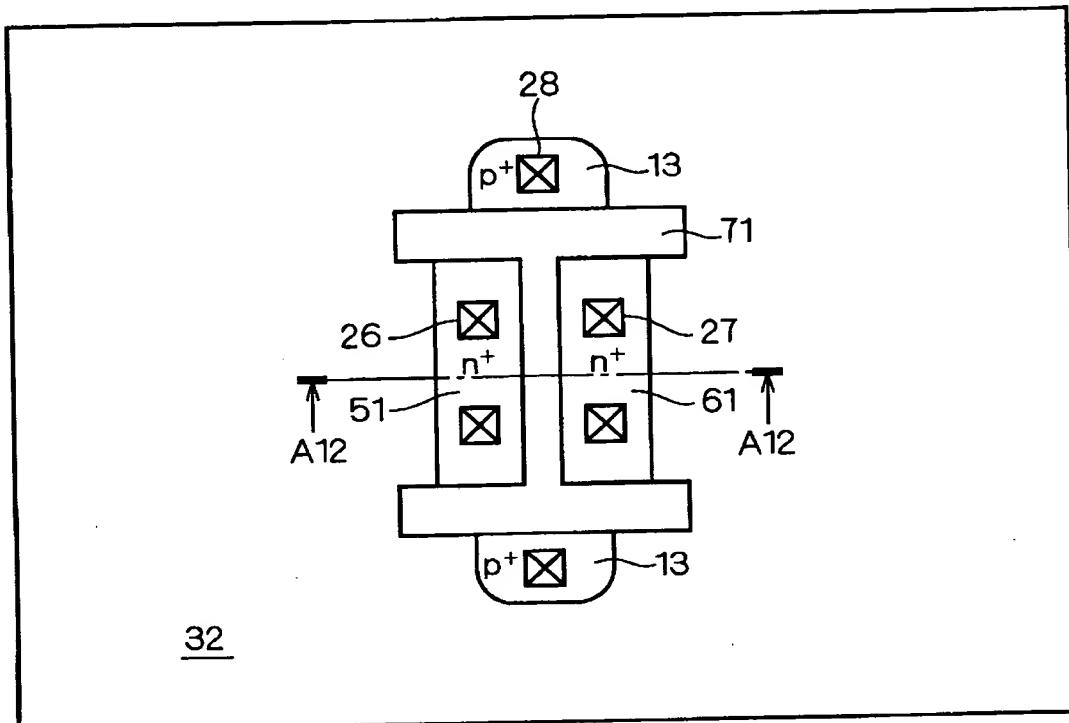
【図17】



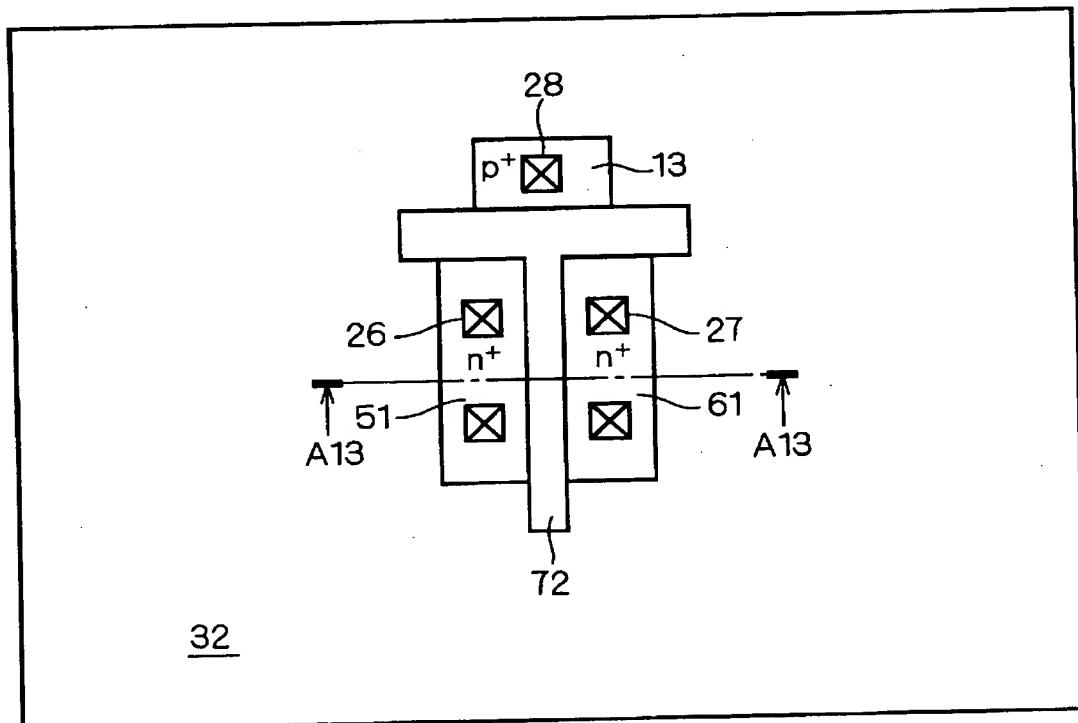
【図18】



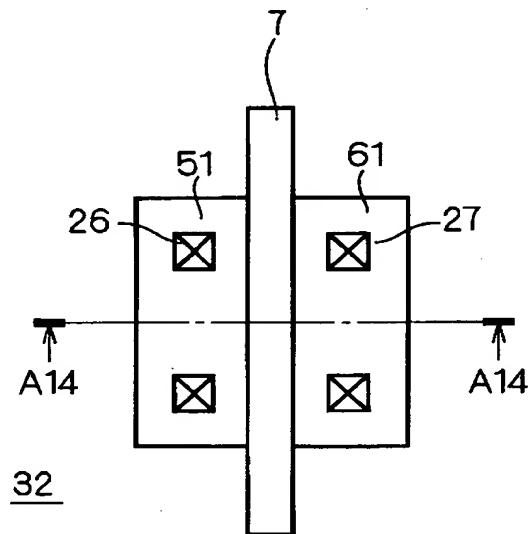
【図19】



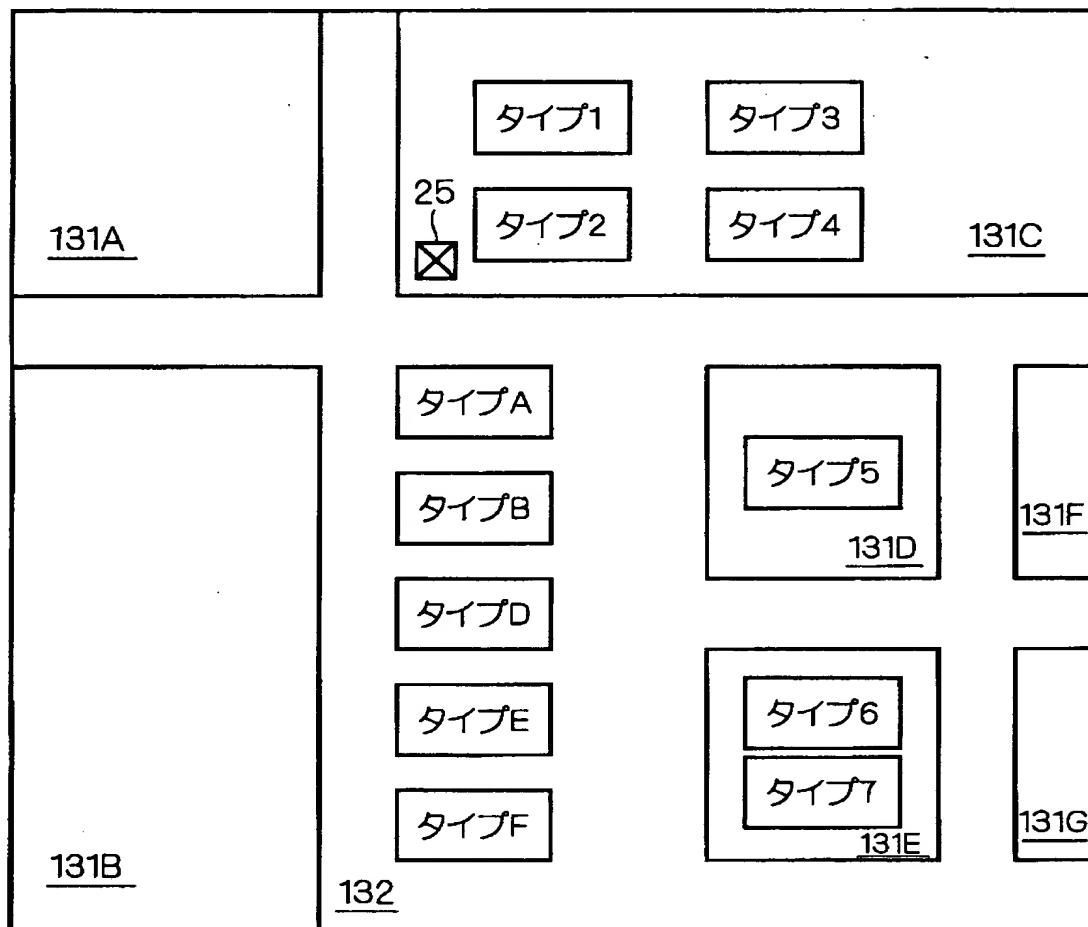
【図20】



【図21】

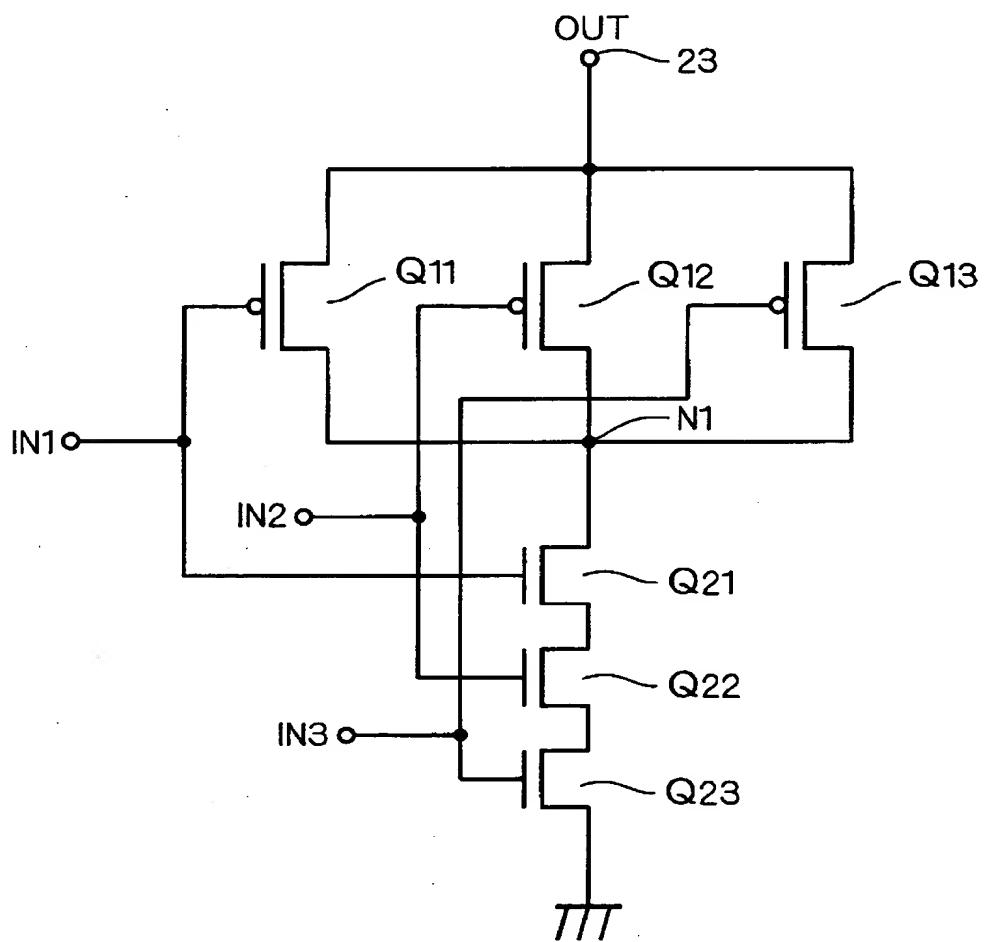


【図22】

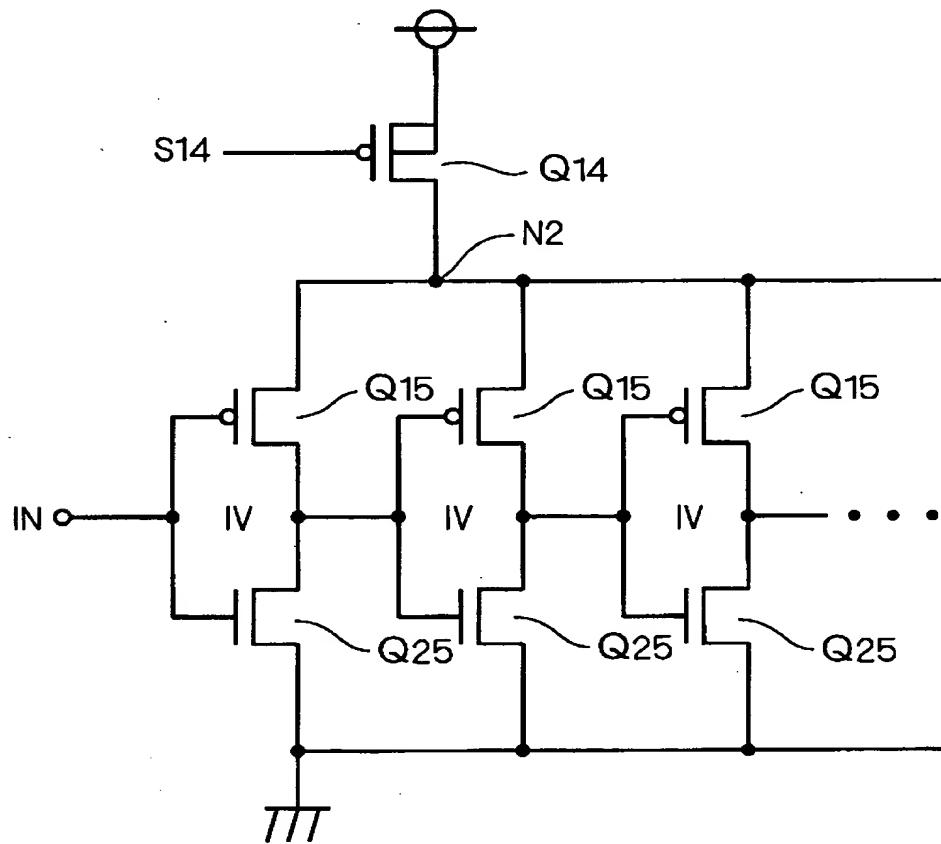


131A～131G：部分分離領域
132：完全分離領域

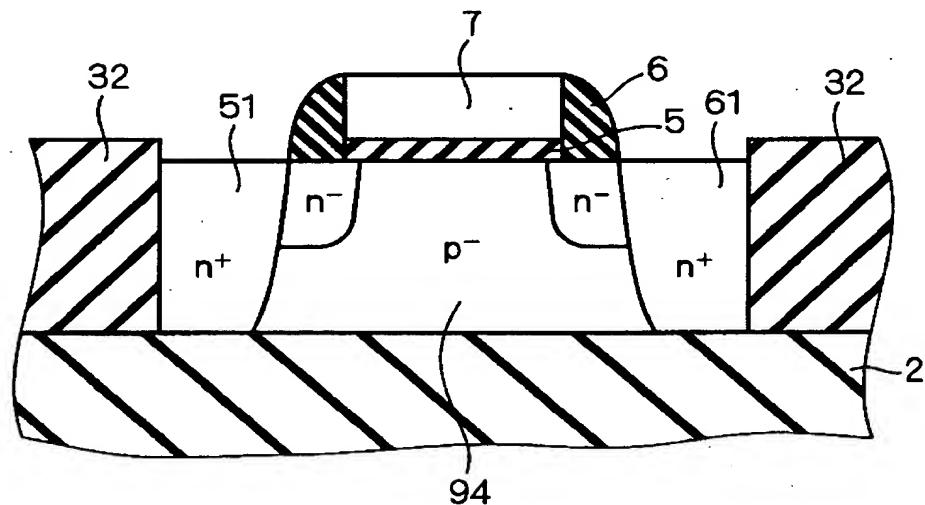
【図23】



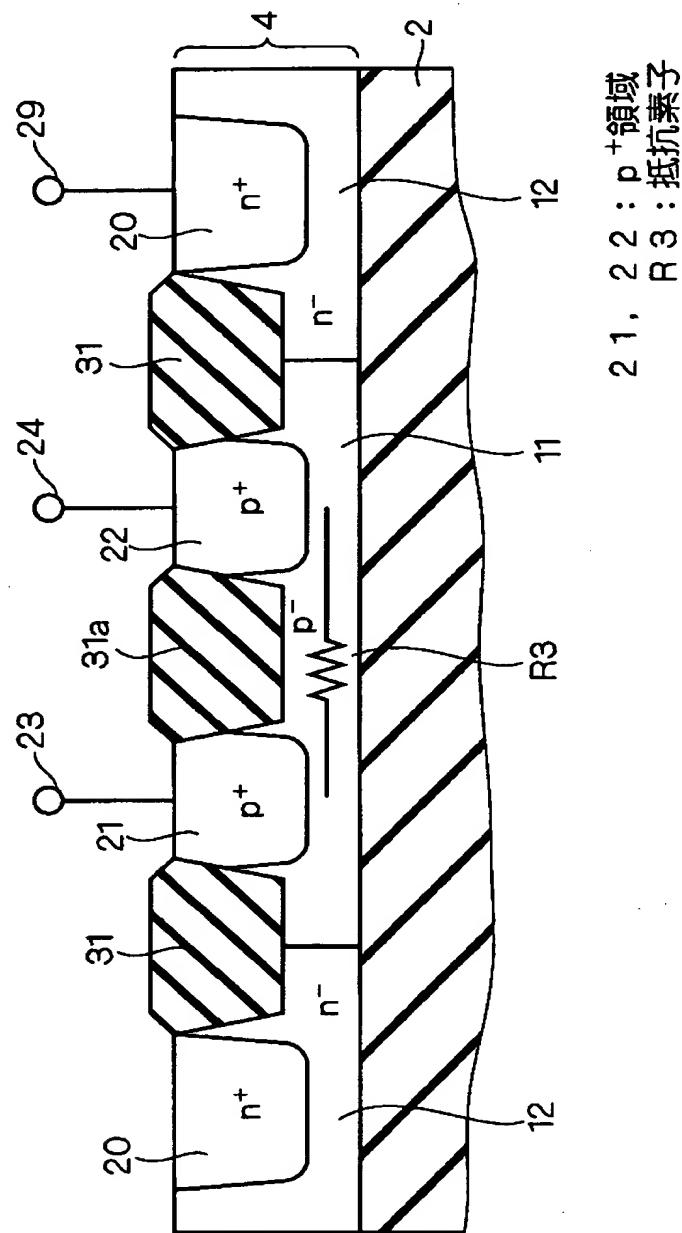
【図24】



【図25】

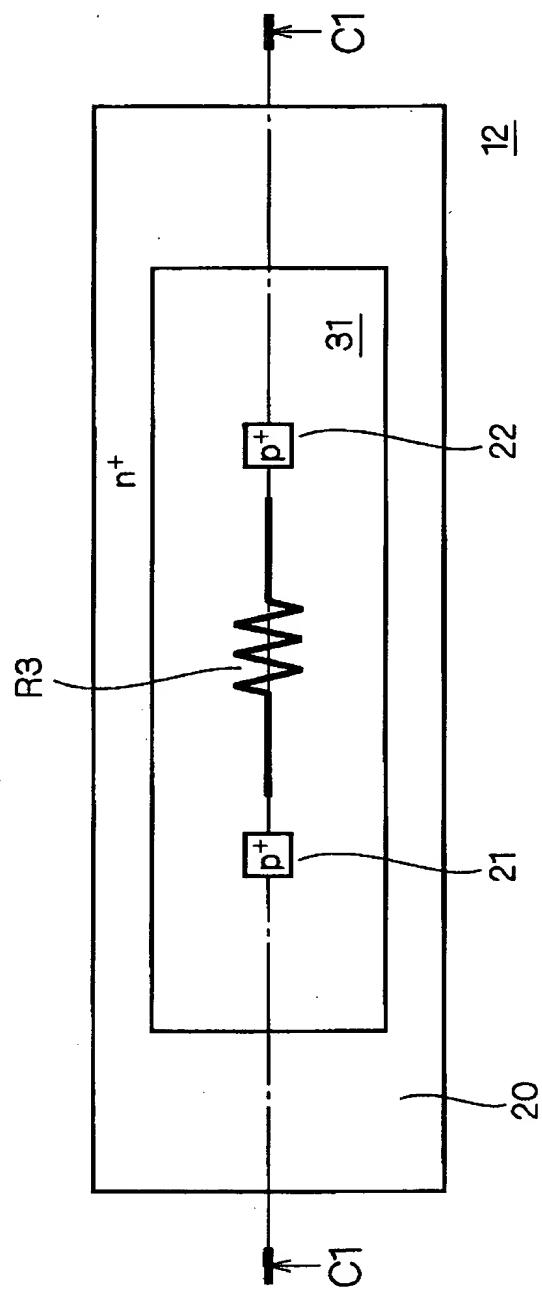


【図26】

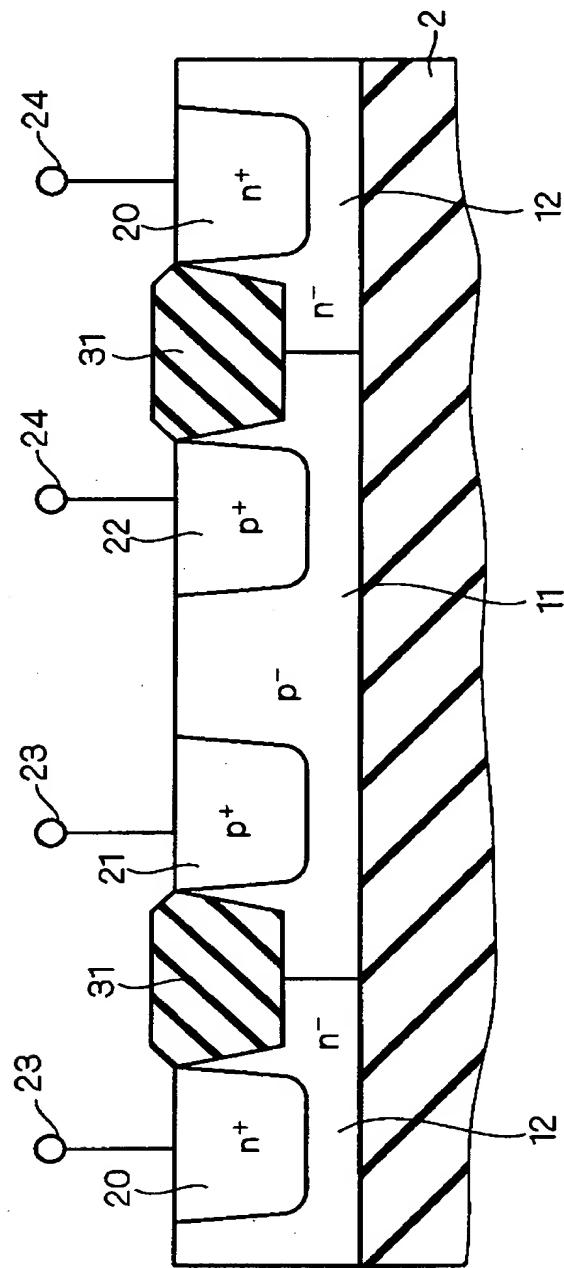


21, 22 : p^+ 領域
R3 : 抵抗素子

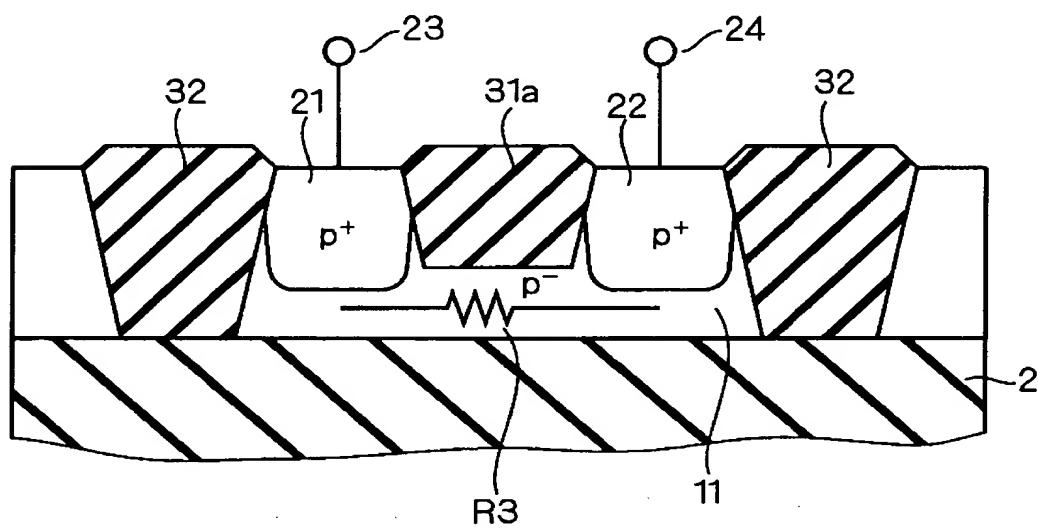
【図27】



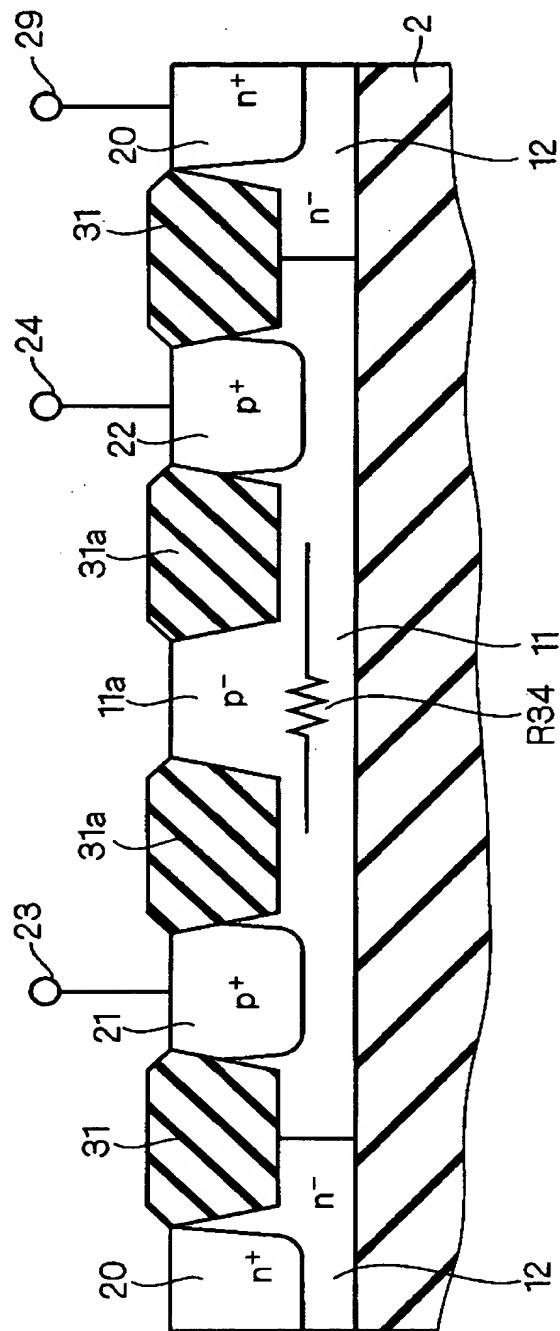
【図28】



【図29】

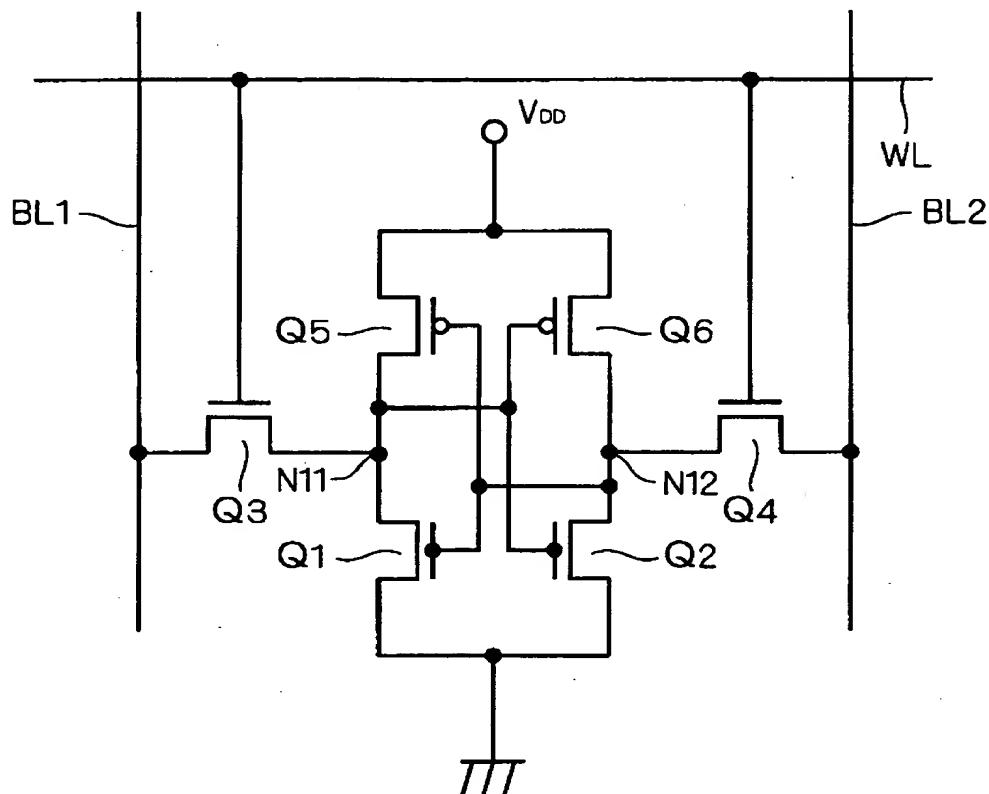


【図30】

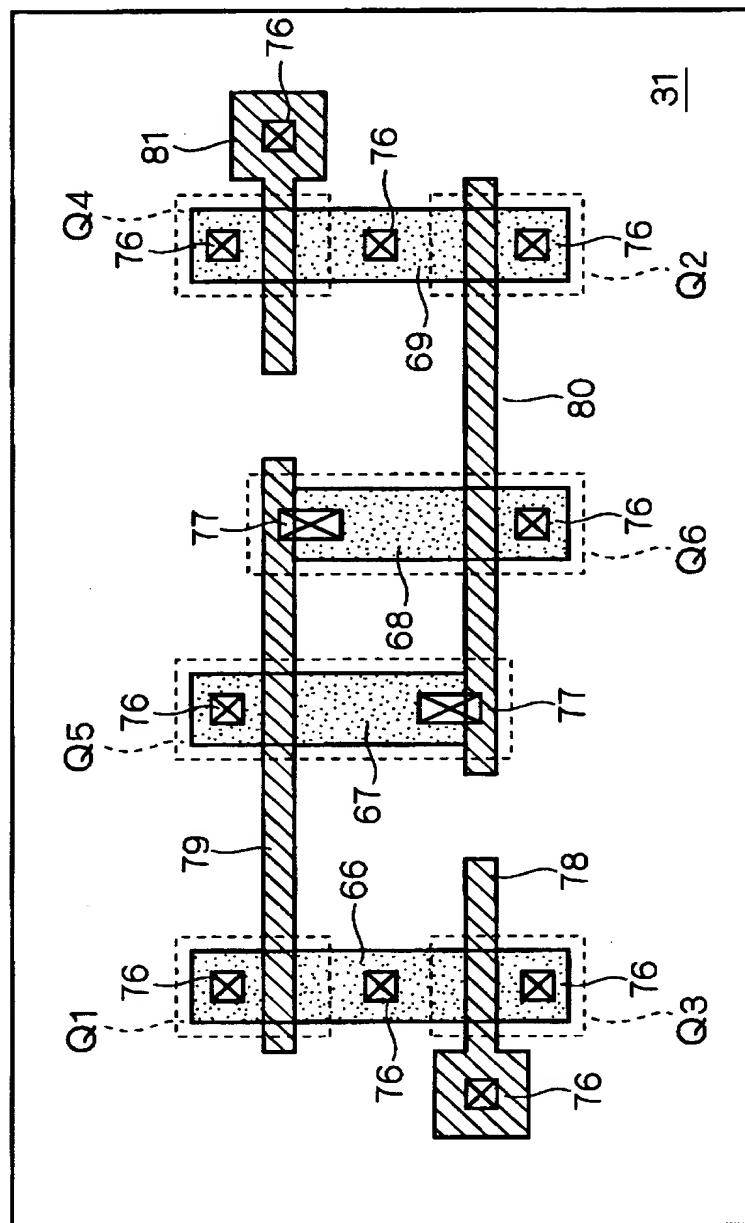


R 34 : 抵抗素子

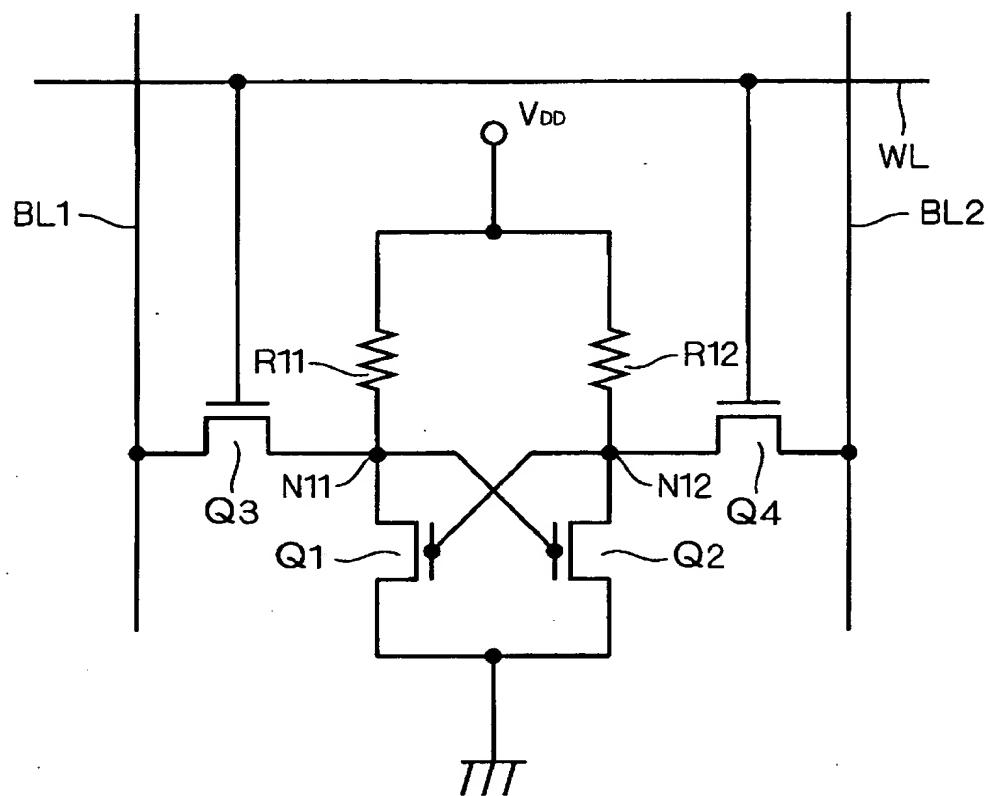
【図31】



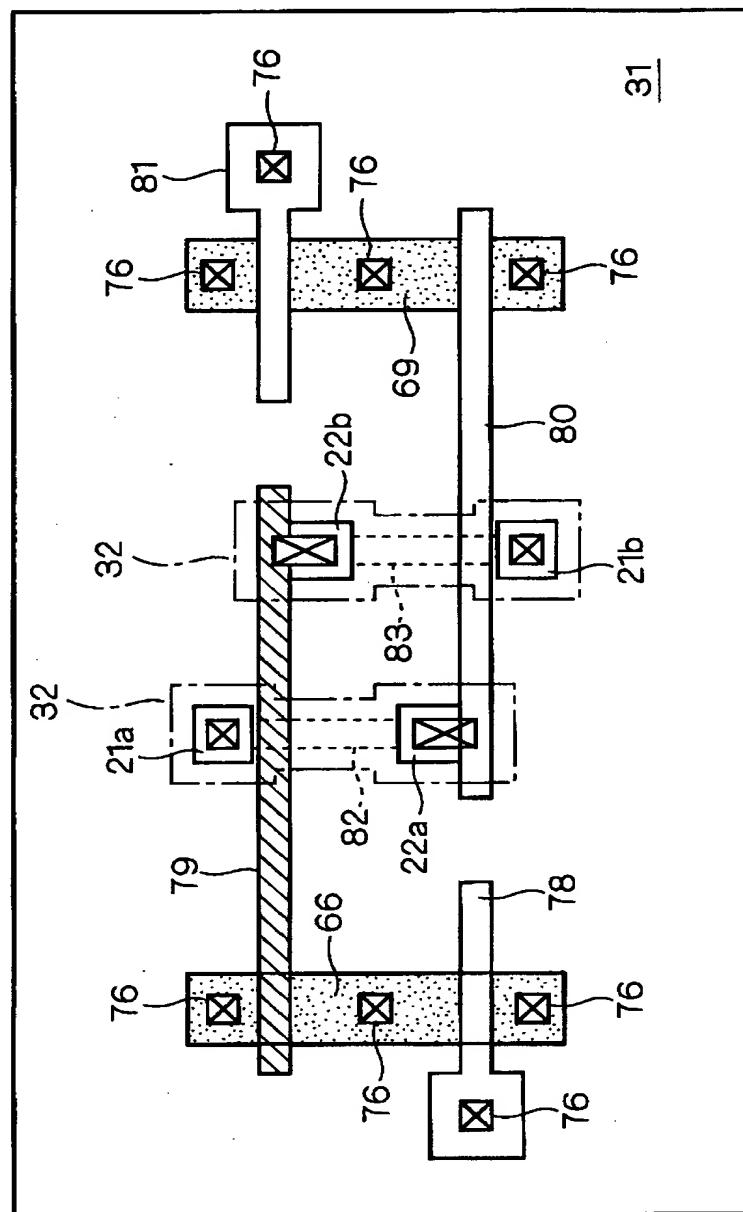
【図32】



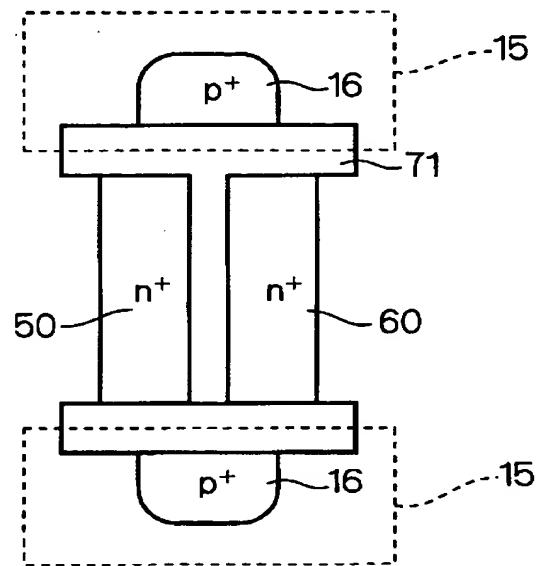
【図33】



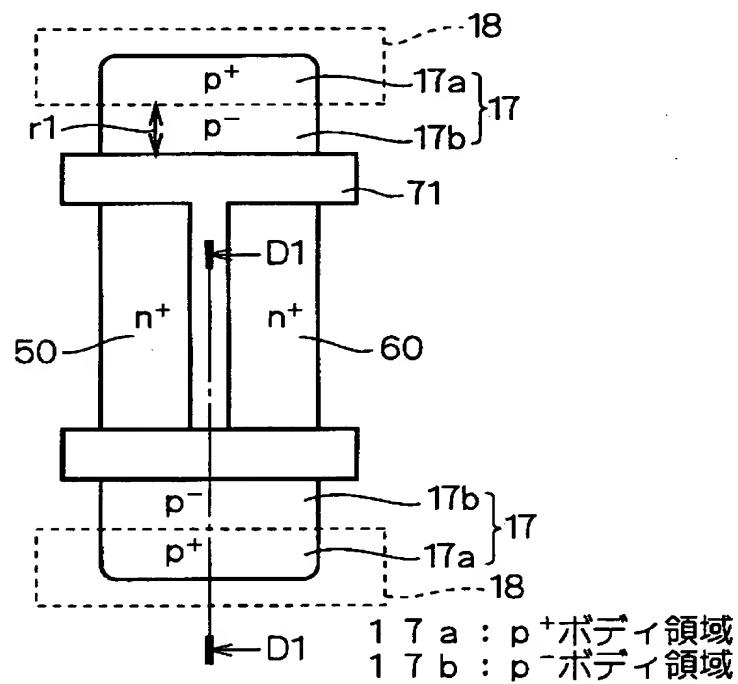
【図34】



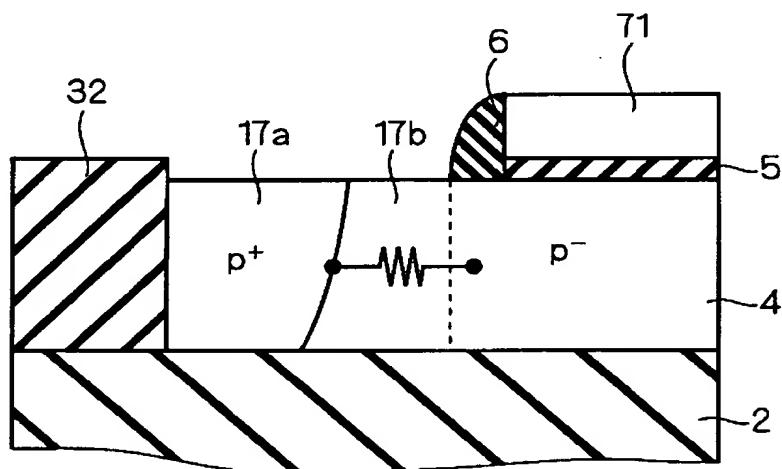
【図35】



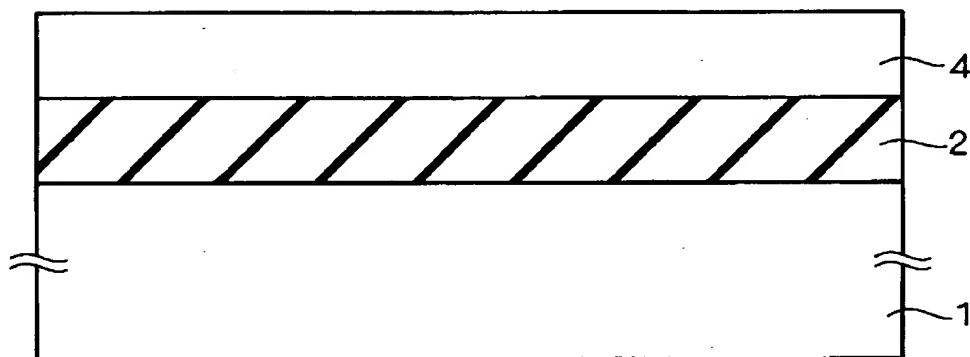
【図36】



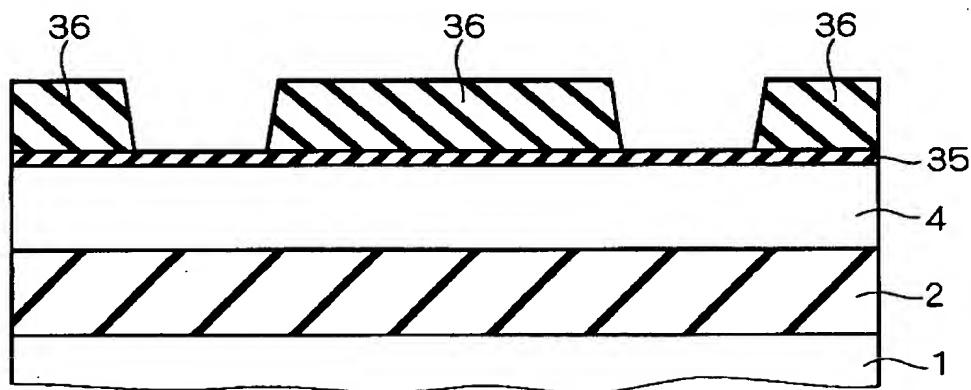
【図37】



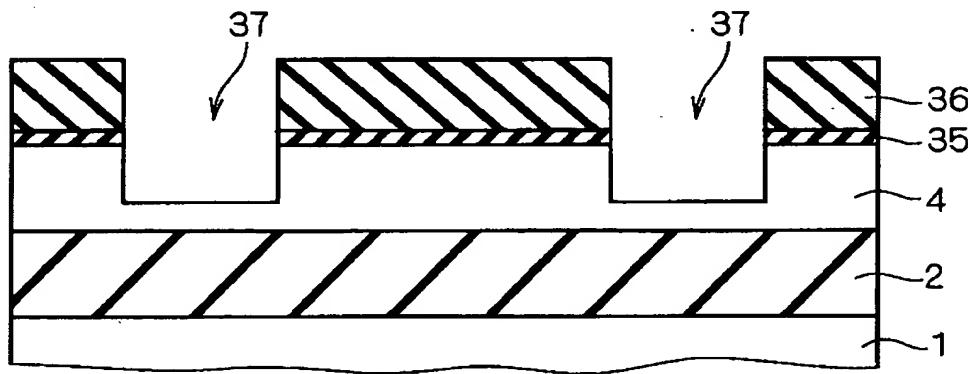
【図38】



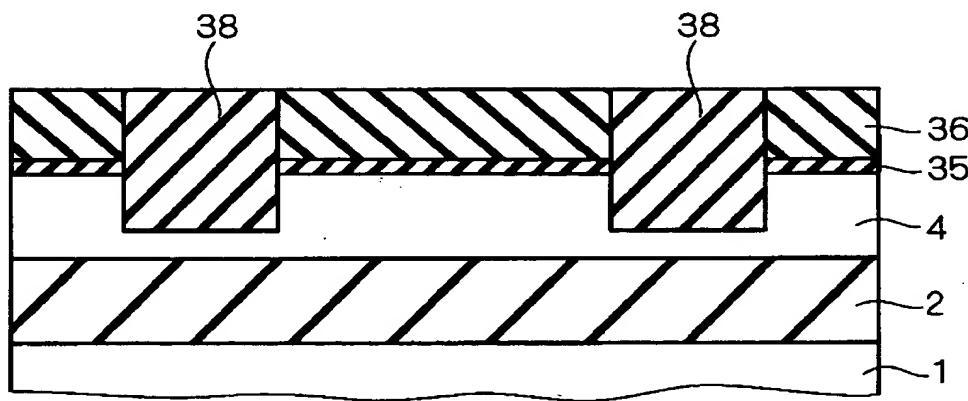
【図39】



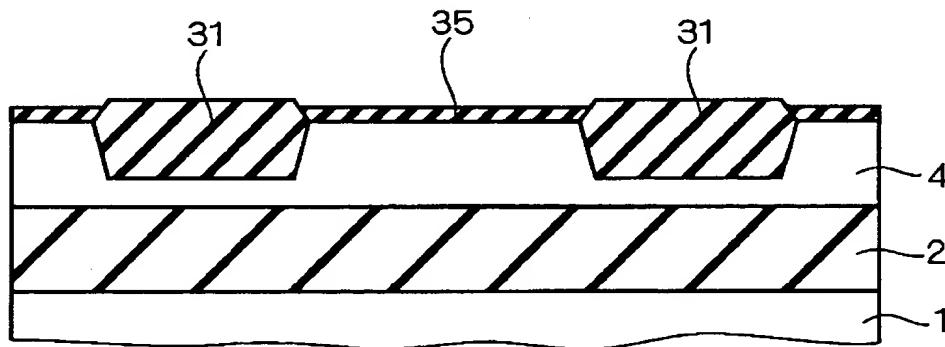
【図40】



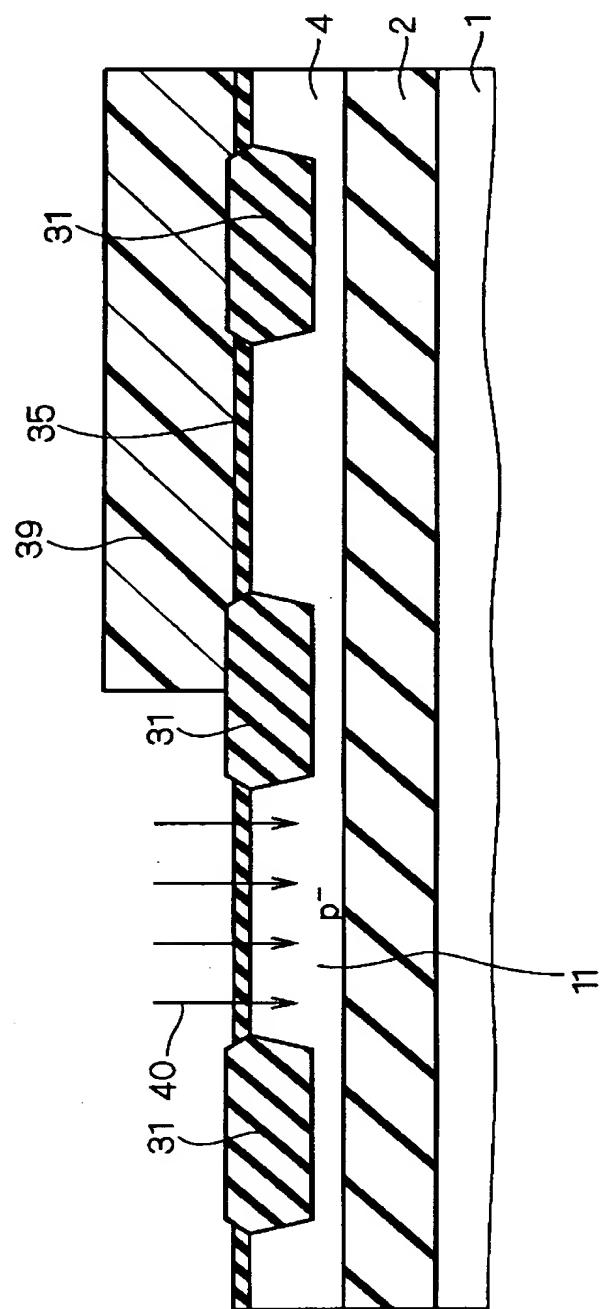
【図41】



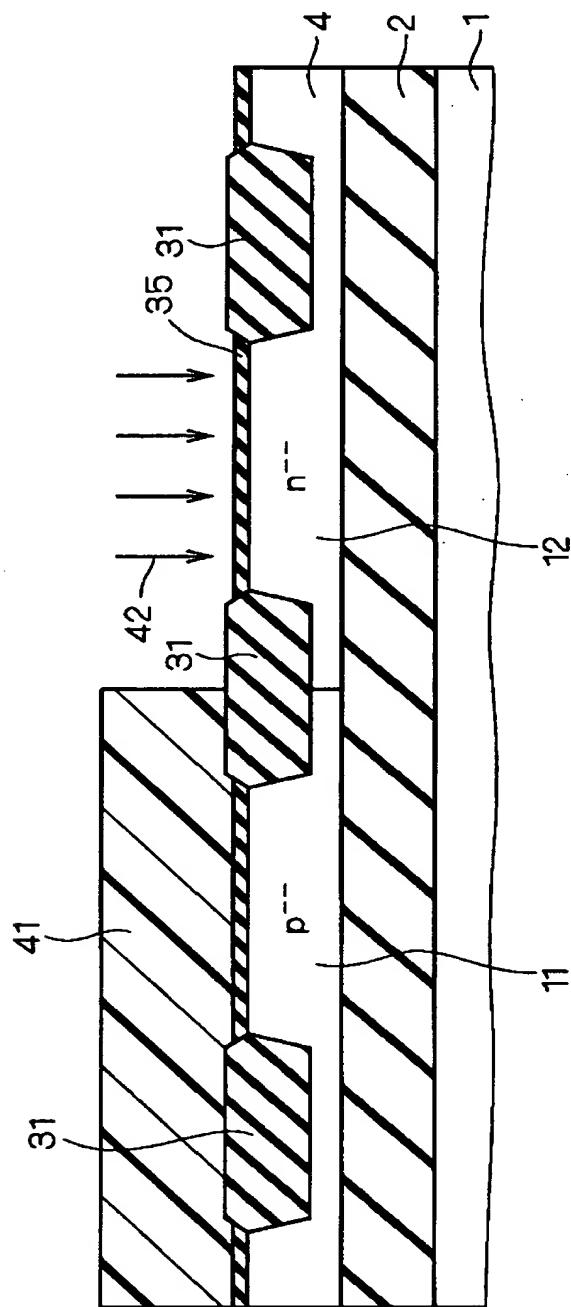
【図42】



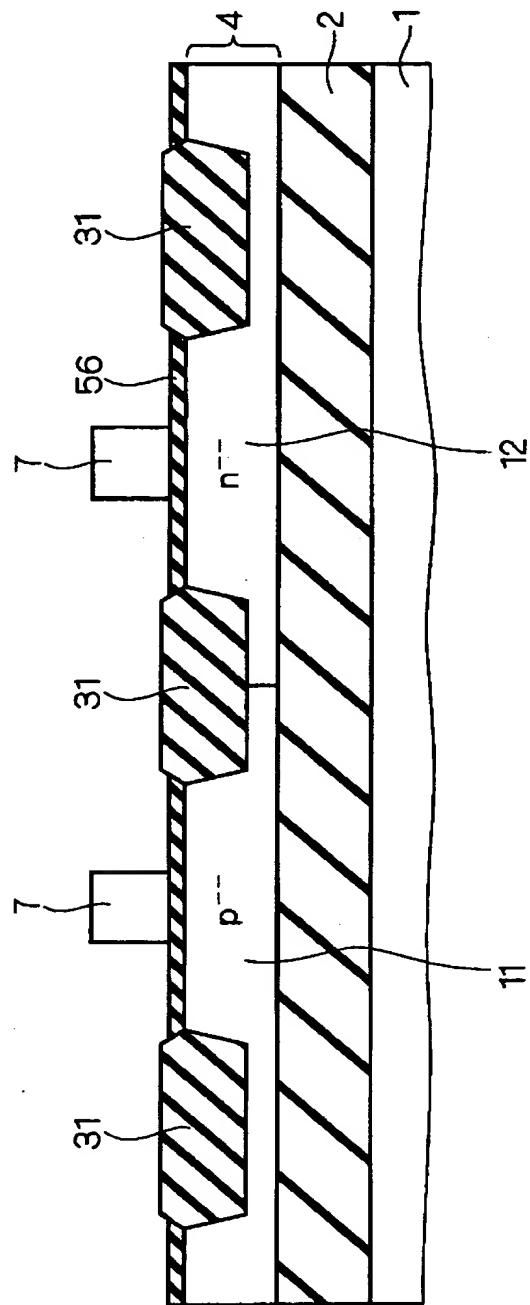
【図43】



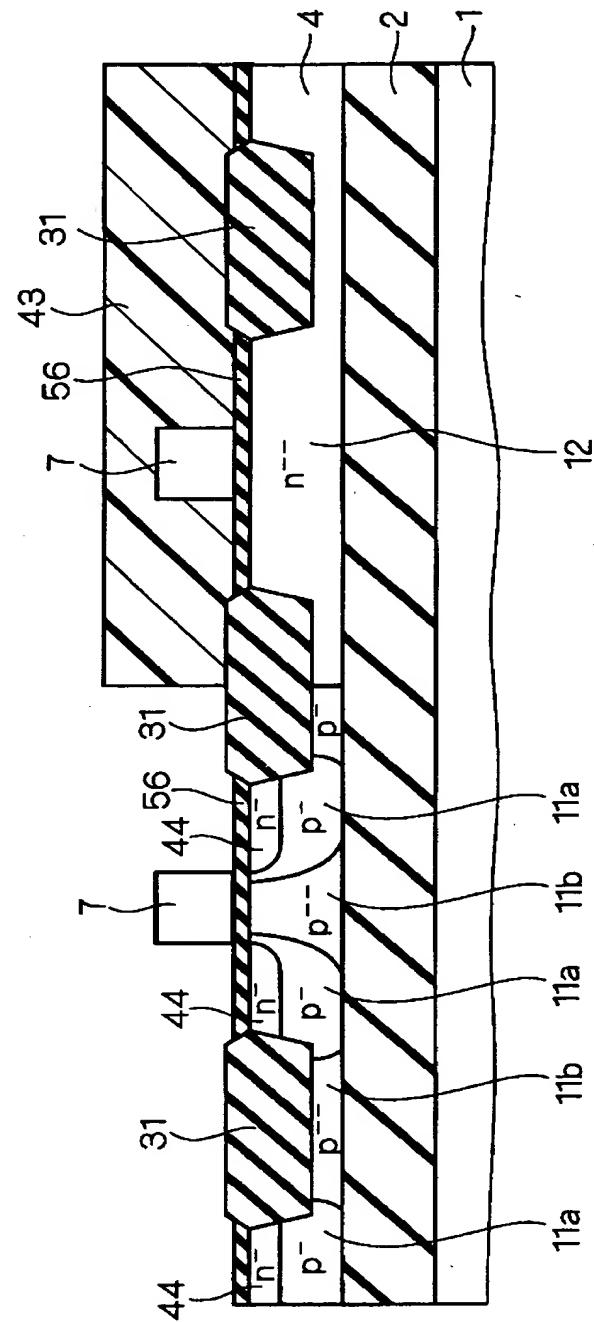
【図44】



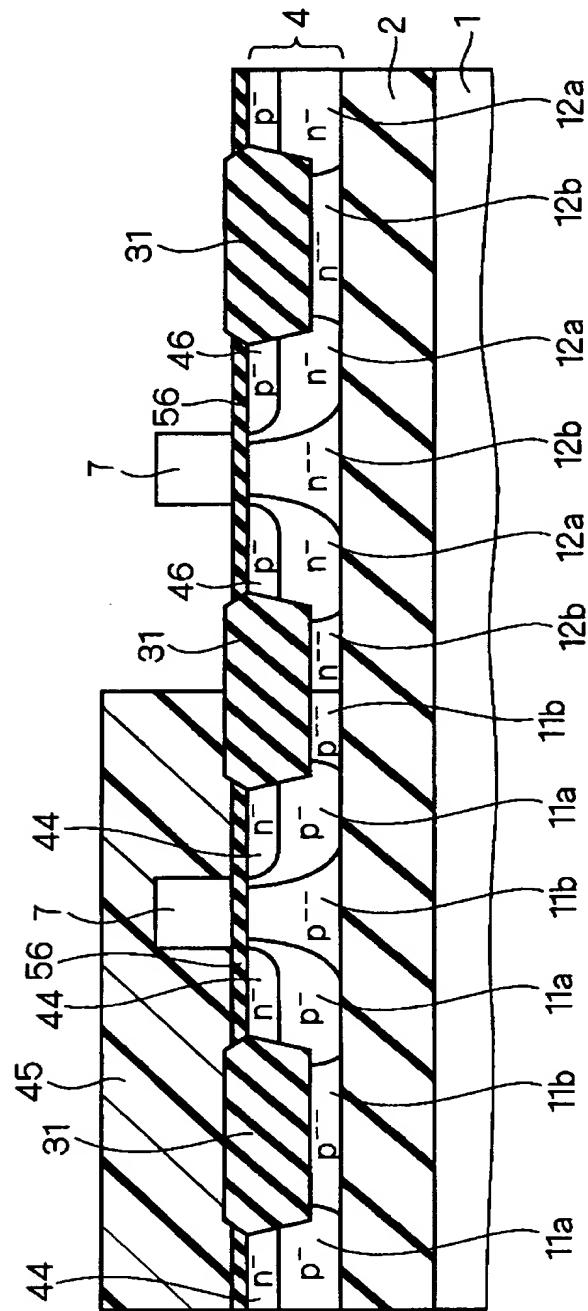
【図45】



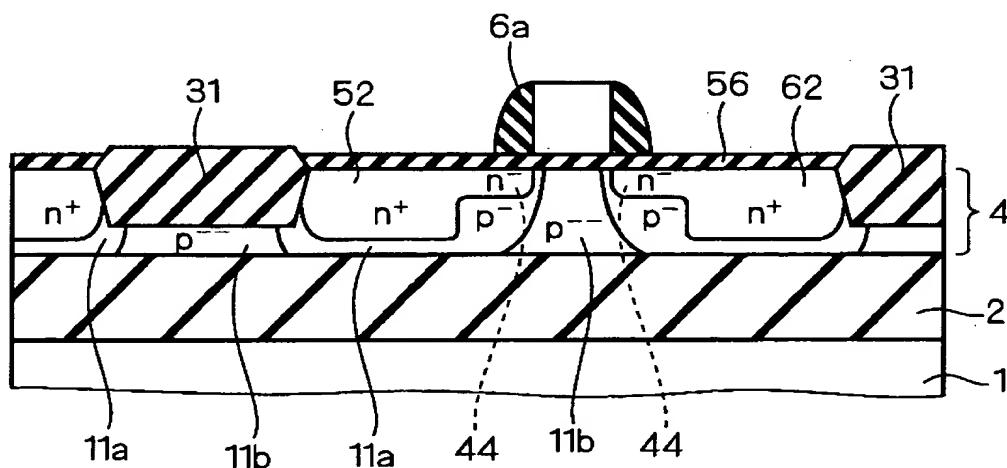
【図46】



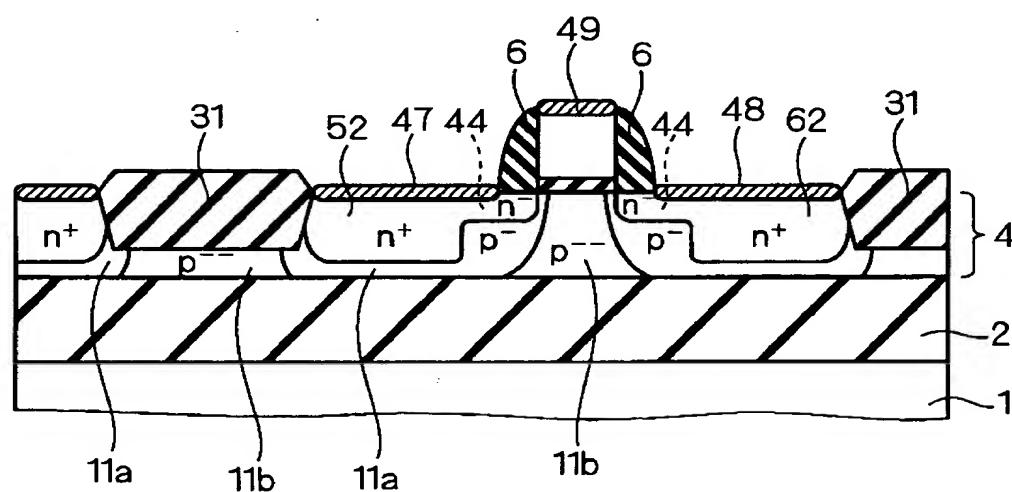
【図47】



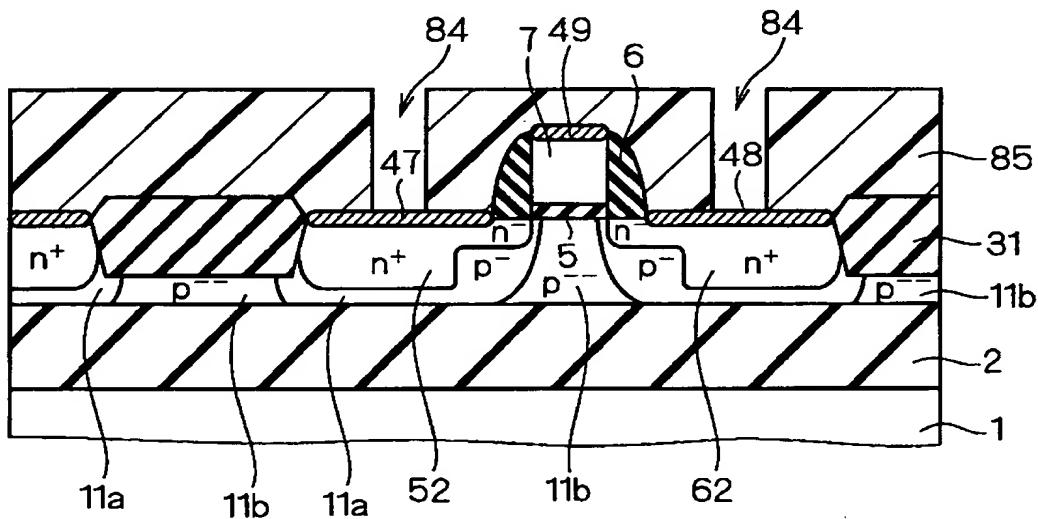
【図48】



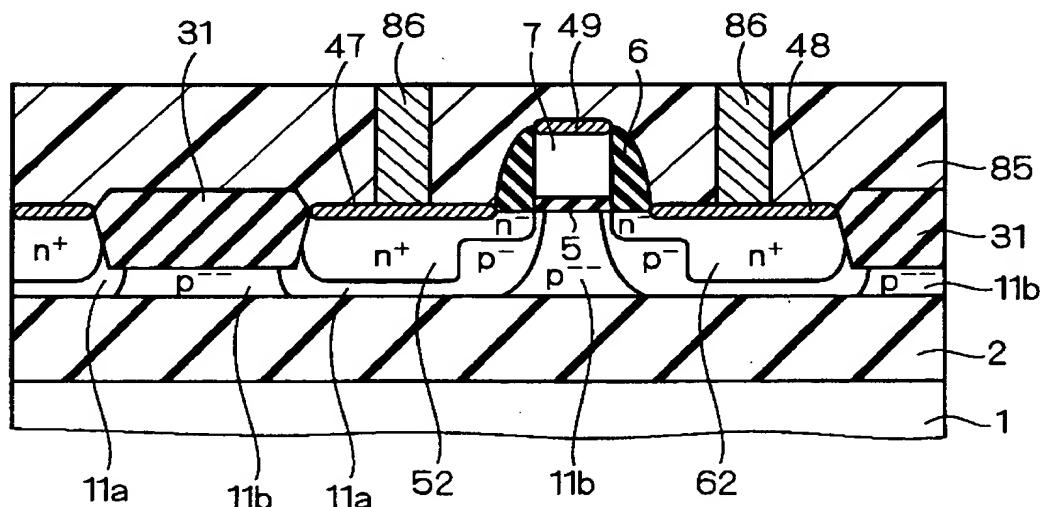
【図49】



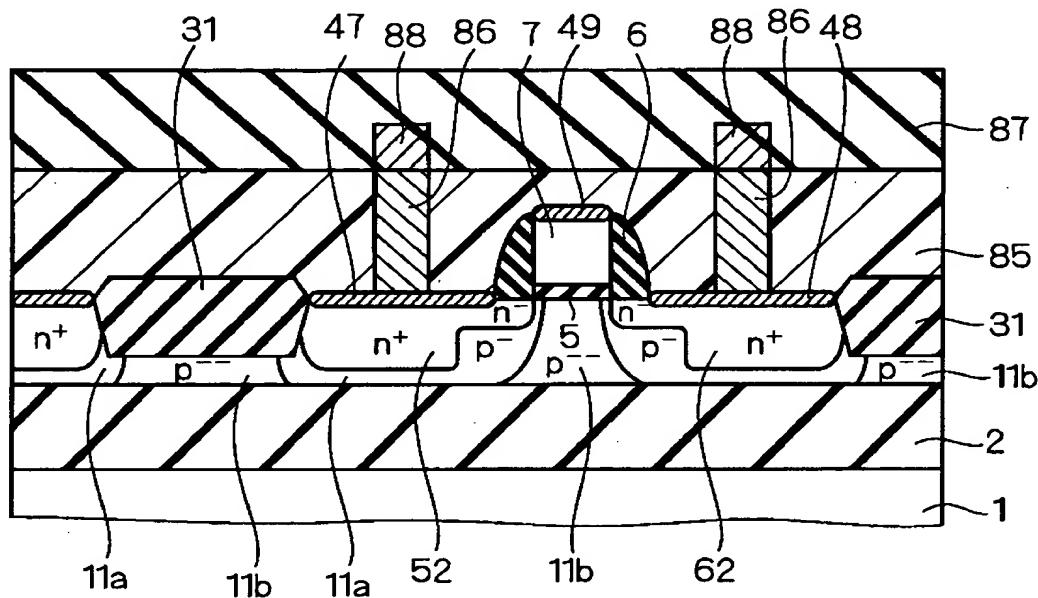
【図50】



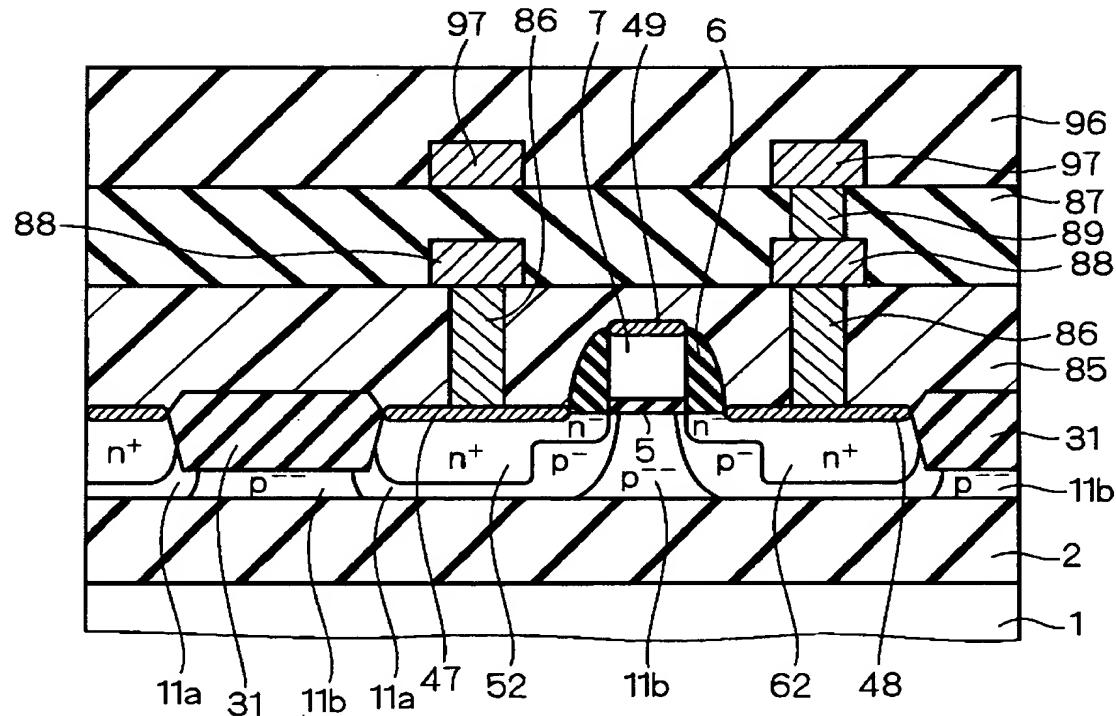
【図51】



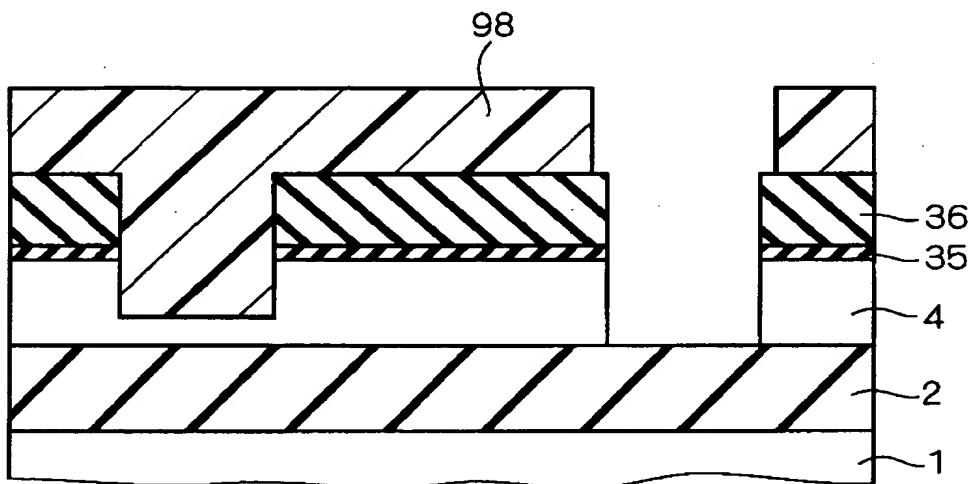
【図52】



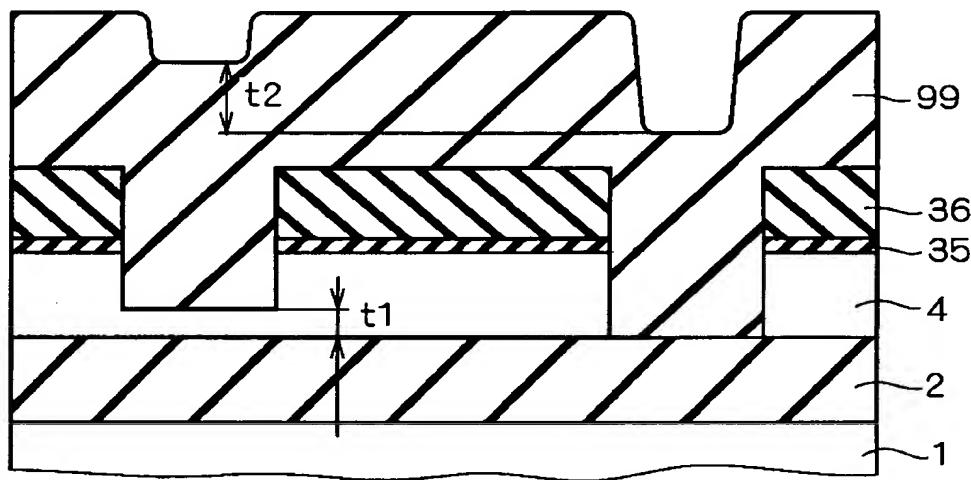
【図53】



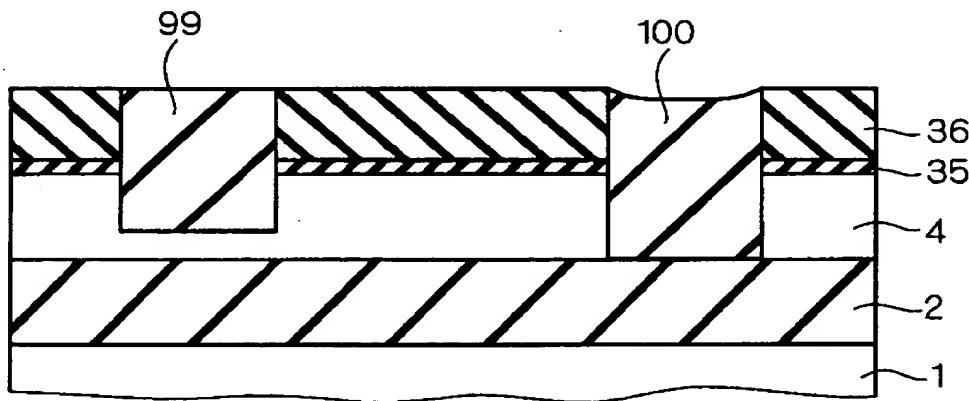
【図54】



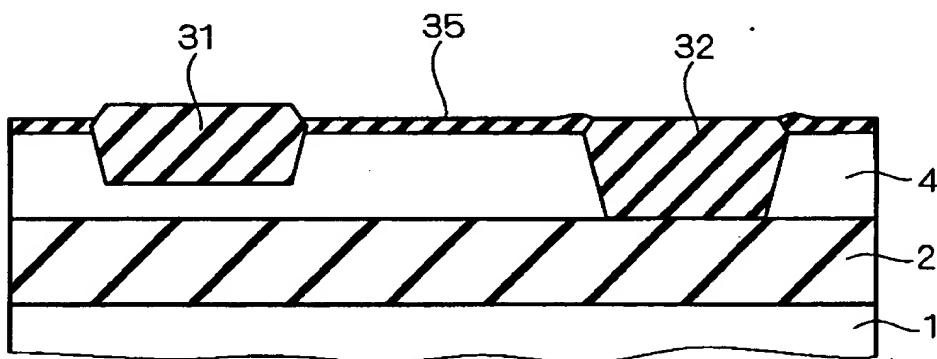
【図55】



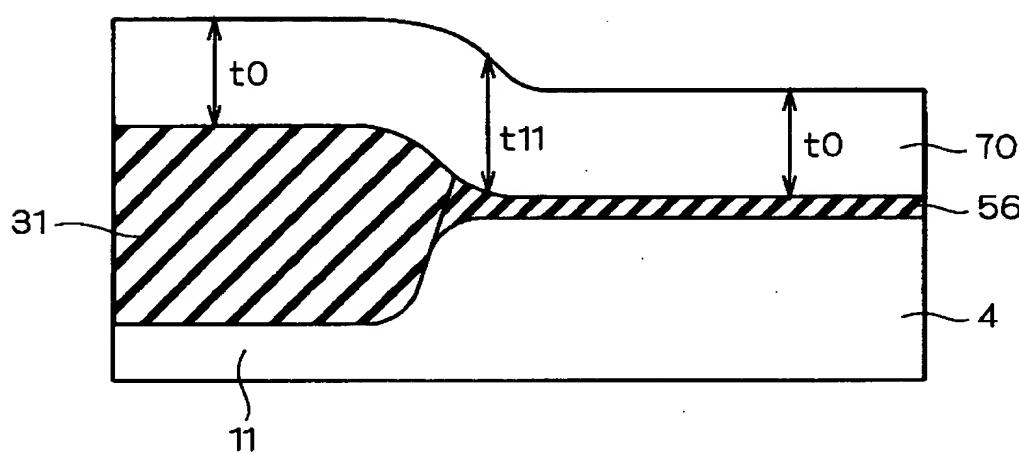
【図56】



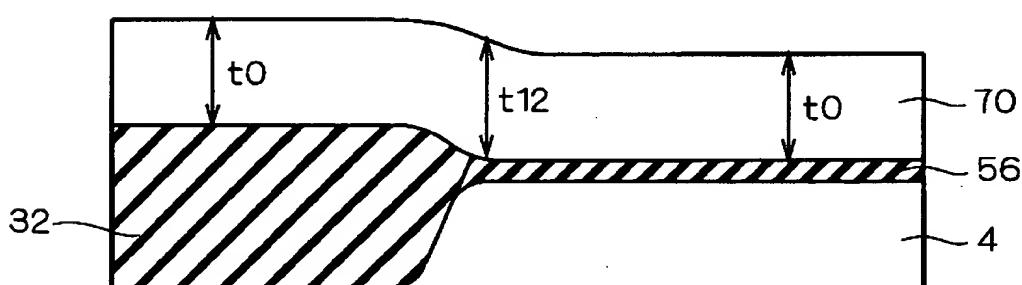
【図57】



【図58】



【図59】



【書類名】 要約書

【要約】

【課題】 部分分離領域によって素子分離された素子形成領域におけるボディ領域の電位を安定性の良く固定できるS O I構造の半導体装置を得る。

【解決手段】 部分酸化膜31によって素子分離された素子形成領域に、ソース領域51、ドレイン領域61及びHゲート電極71からなるMOSトランジスタを形成する。Hゲート電極71は左右(図中は上下)の“I”によって、ソース領域51及びドレイン領域61にゲート幅W方向に隣接して形成されるボディー領域13とドレイン領域61及びソース領域51とを電気的に分離し、中央の“-”が本来のMOSトランジスタのゲート電極として機能する。

【選択図】 図3

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社